

应用于 OFDM 之 3.1~8.0 GHz 超宽带接收机前端芯片设计

黄进芳¹, 谢佩娟¹, 刘荣宜²

(1. 国立台湾科技大学 电子工程系, 台湾 台北 10672; 2. 中华电信研究所, 台湾 桃园 32617)

摘要: 使用 TSMC 0.18 μm CMOS 工艺实现 3.1~8.0 GHz 超宽带接收机前端电路芯片设计, 并利用 ADS 软件进行仿真、电路参数调整。电路架构包括: 单端输入差动输出之超宽带低噪声放大器、Balun (Balance-unbalance) 以及差动输入/输出的超宽带降频混频器, 主要特点是在低噪声放大器输出端和混频器之间加入 Balun, 提升电路性能并减少芯片面积。芯片测试结果: 在供给电压 1.8 V 下, 频宽为 3.1~8.0 GHz, $S_{11} < -15.3$ dB, 转换增益为 24.6 dB, 功率消耗为 37.98 mW。包含接脚, 芯片面积 0.985 (0.897 \times 1.098) mm^2 。

关键词: 超宽带; 前端电路; 低噪声放大器; 混频器

中图分类号: TN792

文献标志码: A

文章编号: 1672-3767(2011)06-0073-07

Design of A 3.1—8.0 GHz UWB Receiver Front-end Chip for OFDM Applications

HUANG Jhinfang¹, SHIE Peijiuan¹, LIU Ronyi²

(1. Department of Electronic Engineering, National Taiwan University of Science and Technology, Taipei, Taiwan 10672, China; 2. Chunghwa Telecom Laboratory, Taoyuan, Taiwan 32617, China)

Abstract: A receiver front-end chip for ultra-wide band systems operating in 3.1—8.0 GHz frequency range was designed and successfully fabricated by TSMC 0.18 μm CMOS process. All the circuits were simulated and tuned by simulator ADS (advanced design system). The proposed chip uses the passive Balun to achieve the conversion between LNA and mixer and, the LNA uses the transformer as input matching to achieve low chip area and high performance. The measured results show that at the supply voltage of 1.8 V, the proposed chip is tunable from 3.1 to 8.0 GHz and obtains S_{11} less than -15.3 dB, conversion gain (CG_{max}) of 24.6 dB and power consumption of 37.98 mW. Including pads, the total chip area is 0.985 (0.897 \times 1.098) mm^2 .

Key words: ultra-wide band; front-end circuit; low-noise amplifier; mixer

UWB (ultra-wide band) 通信标准可应用于高速无线 OFDM (orthogonal frequency division multiple-xing) 通信系统, 高速无线 OFDM 通信芯片的设计, 由于高速的数据传输将会遭遇许多挑战^[1-2]。UWB 通信系统电路主要包括: 低噪声放大器 (low noise amplifier, LNA)、混频器 (mixer)、压控振荡器 (voltage controlled oscillator, VCO)、模拟数字转换器 (analog-to-digital converter, ADC)、数字模拟转换器 (digital-to-analog converter, DAC)、调变器 (modulator)、功率放大器 (power amplifier, PA) 等。由于国际规范要求 UWB 系统在任何时间须满足 500 MHz 频宽, 因此, 接收机射频前端电路必须支持至少 500 MHz 频宽, 甚至高达 7 500 MHz。电路的频宽越大, 电路设计就遭遇到更高的挑战, 主要困难来自宽带匹配及低噪声设计。虽然已经有多项研究着重于宽带收发机的设计^[3-7], 但各有优缺点。例如, 有的设计为减少芯片面积而不使用电感^[5], 但并未见到此研究之输入级同时使用嵌入式变压器及 Balun 组件。本研究利用 TSMC (Taiwan Semiconductor Manufacturing Co. Ltd) CMOS 0.18 μm 工艺, 制作一组 1.8 V 3.1~8.0 GHz 的射频接收机

收稿日期: 2011-01-21

作者简介: 黄进芳 (1950—), 男, 台湾台南人, 副教授, 博士, 主要从事微波工程、无线通信技术、模拟 IC 设计等方面的研究。

E-mail: jfhuang@mail.ntust.edu.tw

前端电路芯片。输入级 LNA 使用嵌入变压器以及 Balun 组件,以大幅降低面积及提升电路的特性。另外,于此提出能直接接续于文献[8]ADC 电路的接收机前端电路芯片设计,由天线端的输入信号到 ADC 构成较完整的 UWB 接收系统电路,为 UWB 信号接收芯片电路的设计者提供有较完整脉络可循的 UWB 信号接收电路设计。

1 接收机射频前端电路架构

图 1 为射频前端电路的架构图,包括单端输入 LNA、单端转换成双端的 Balun 以及双端输出混频器等电路,其中,LNA 内部采用变压器来达到匹配的功能,同时改善电路性能与大幅减少芯片面积。另外,图 1 所示电路架构的输出输入接点为本芯片的接脚(pads)。

1.1 低噪声放大器 (Low-Noise Amplifier)

图 2 为嵌入式变压器(on-chip transformer)LNA + Balun 电路,LNA 第一级输入端使用分配负载电感式峰值技术(splitting-load inductive peaking technique),特点为宽频与稳定的增益^[9-10],另使用 ADS 软件有效调整回授电阻 R_f ,以达到输入匹配和低噪声的效果。第二级使用级联(cascode)电路以大幅降低密勒效应(Miller effect)并改善隔离(isolation)效果和提升增益。第三级电路主要用于加强单端与差动双端信号的转换增益,以及满足混频器差动输入的要求。

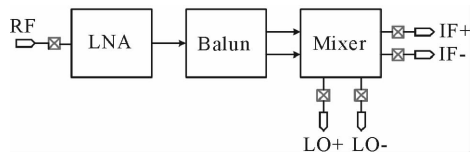
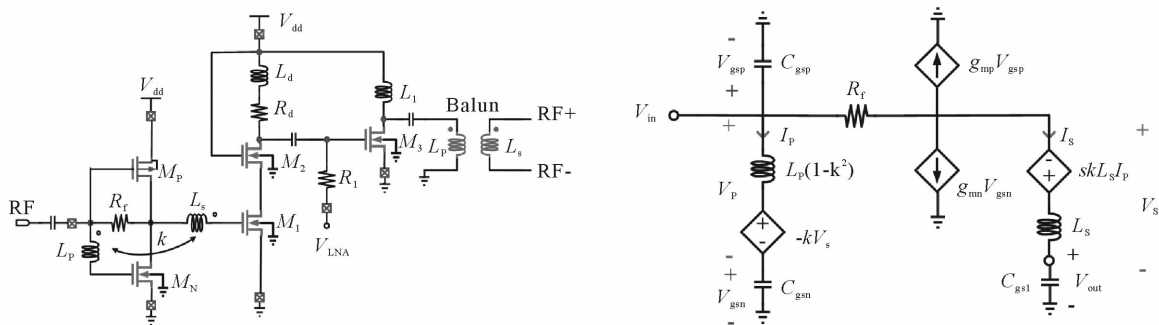


图 1 接收机射频前端电路架构图

Fig. 1 The structure of receiver front-end circuit



(a) 电路图

(a) Schematic circuit diagram

(b) 输入级的小信号等效电路

(b) Small-signal equivalent circuit for the input stage

图 2 LNA 电路图

Fig. 2 LNA circuit

参照图 2(b)的小信号等效电路,若变压器的耦合效率 $k = M / \sqrt{L_p L_s}$,其中, M 为互感, L_p 及 L_s 分别为变压器原级与次级的电感值。LNA 输入阻抗可表示为

$$Z_{in} = (Y_{in})^{-1}, \tag{1}$$

$$Y_{in} = sC_{gsp} + \frac{1}{R_f} + \frac{sC_{gsn} (1 - \frac{\delta - skL_s}{R_f}) (\frac{1}{R_f} - g_{mp})}{sC_{gsn} (1 + \frac{\delta - skL_s}{R_f}) + g_{mn}}, \tag{2}$$

式(2)中, $\delta = sL_s + 1/(sC_{gs1})$ 。

由图 2(b)的 LNA 输入级小信号等效电路可知,若 $\frac{1}{sC_{gs1}}$ 很大,则本级的电压增益 $A_v = \frac{V_{out}}{V_{in}}$ 可表示为

$$A_v \approx 1 + \frac{1}{\xi} [s^2 C_{gsn} L_p (1 - k) (g_{mp} + sC_{gsp}) + sR_f C_{gsp} g_{mn} + s^2 C_{gsp} C_{gsn} R_f], \tag{3}$$

其中, $\frac{n_s}{n_p} = \frac{V_s}{V_p} = \frac{I_p}{I_s} = \sqrt{\frac{L_s}{L_p}} \approx 1$ 与 $\xi = g_{mn} + sC_{gsn}$,显然本级增益与 R_f 有关。

1.2 变压器 (Transformer)

图 3 为本研究变压器布局(layout)与对应的等效电路图。本芯片 LNA 的输入端使用嵌入芯片变压器, 目的在于达到匹配容易、高增益以及减少芯片面积的功能, 变压器之导线宽度 $6 \mu\text{m}$ 、间隔 $2 \mu\text{m}$ 、内径宽度 $60 \mu\text{m}$ 、外径宽度 $120 \mu\text{m}$, 面积为 0.01848 mm^2 。在耦合效率 $k=0.681$ 时, 变压器等效电路的参数值如表 1 所示。

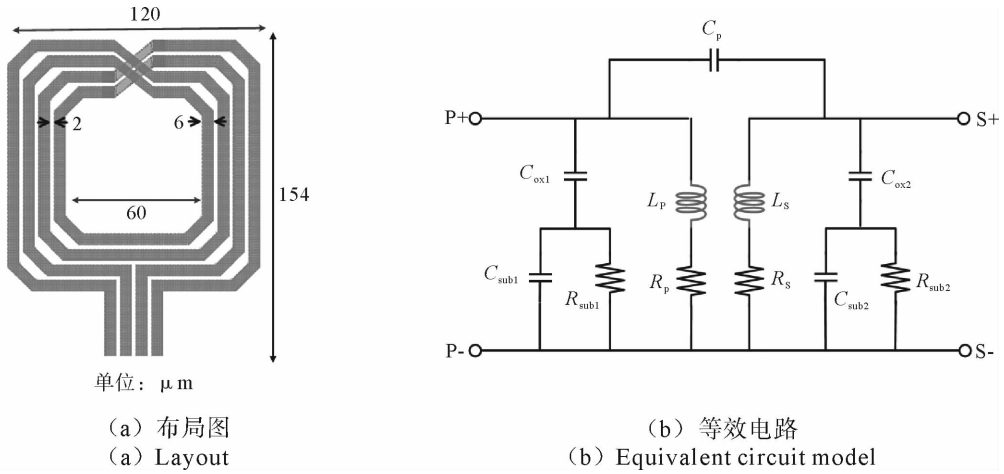


图 3 变压器图

Fig. 3 Transformer

表 1 变压器等效电路的参数值表

Tab. 1 Parameters of the transformer equivalent circuit model

参数名称	$L_p/n\text{H}$	$L_s/n\text{H}$	R_p/Ω	R_s/Ω	R_{sub1}/Ω	R_{sub2}/Ω	C_{sub1}/fF	C_{sub2}/fF	C_{ox1}/fF	C_{ox2}/fF	C_p/fF
取值	0.795	0.644	3.6	3.1	400.0	388.5	44.2	47.2	34.4	39.6	4.0

1.3 平衡-不平衡器 (Balun)

由于超宽带低噪声放大器为单端输入单端输出, 而混频器为差动输入差动输出, 因此, 为能匹配输入, 在这两组件的界面加入一组无源组件 Balun 电路, 图 4(a)所示为本研究的 Balun 电路布局, 主要功能是单端转

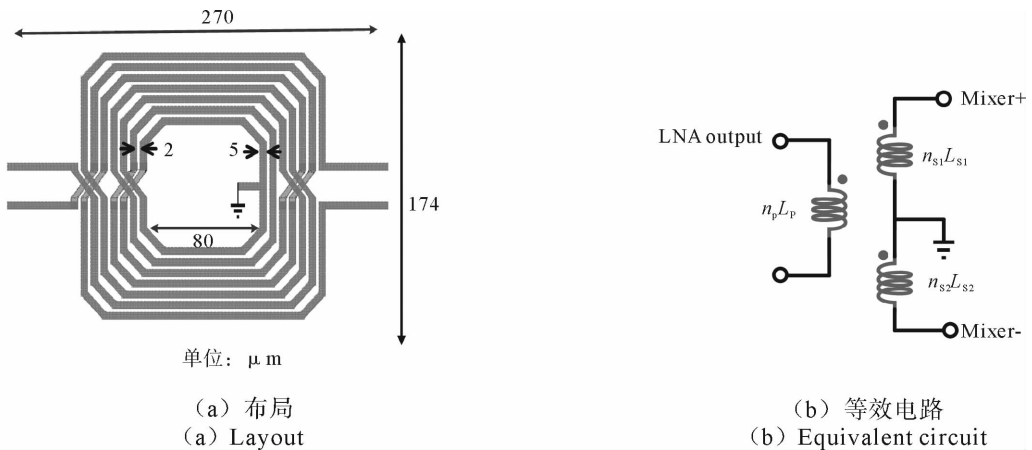


图 4 平衡-不平衡转换器图

Fig. 4 Balun

换成双端输出,使用无源组件 Balun 电路的优点在于没有功耗。Balun 电路之导线宽度为 $5\ \mu\text{m}$ 、间隔为 $2\ \mu\text{m}$,芯片面积 $0.046\ 98(0.270\times 0.174)\ \text{mm}^2$,等效电路如图 4(b)所示。

1.4 混频器 (Mixer)

本研究的混频器电路依功能分为 4 部分:①将 RF 射频(radio frequency)电压信号转换成电流信号的转导(transconductance)电路;②切换电流开关电路,将 RF 电流信号经由局部振荡器(local oscillator, LO)开关效应产生混频后输出中频电流信号;③转换成电压信号;④输出级,作为缓冲电路,用以匹配测量仪器。图 5 为电流注入式(current bleeding)UWB 降频混频器电路,混频器重要特性在于适当降频以及当 R_1 、 R_2 很大时,不会影响压降,也不增加功率消耗,而流过晶体管 M_3 、 M_4 的电流和等于 M_7 的电流。选用本电路作为混频器有以下优点:

- 1) IF(intermediate frequency)与 RF、RF 与 LO 以及 IF 与 LO 之间有良好的隔离度(isolation),LO 信号与输入 RF 信号到输出端有很大的衰减量,避免影响输出信号的质量;
- 2) 本电路为双平衡开关混频器,相比于单平衡开关混频器有较优异的线性度;
- 3) 双平衡开关混频器能有效排除噪声及共模信号,有较高的输出信号质量。

2 芯片实测与讨论

本研究使用 TSMC $0.18\ \mu\text{m}$ CMOS 工艺,完成 $1.8\ \text{V}$ 使用于 $3.1\sim 8.0\ \text{GHz}$ UWB 的射频前端电路芯片设计,芯片微照如图 6 所示,芯片面积为 $0.985(0.897\times 1.098)\ \text{mm}^2$ 。使用嵌入芯片(on-chip)式测试,测试仪器由芯片系统设计中心(Chip Implementation Center, CIC)提供,包括 Agilent E3631A-34A 电源(power supply)、Agilent E8247C 信号发生器(signal generator)、Agilent 5230A 网络分析仪(network analyzer)、Agilent E4407B 频谱分析仪、Agilent N8975A 噪声系数分析仪(noise figure analyzer)与 Fluke 87111 三用电表等。在 $1.8\ \text{V}$ 供给电压下,芯片消耗电流为 $21.1\ \text{mA}$,功耗为 $37.98\ \text{mW}$ 。

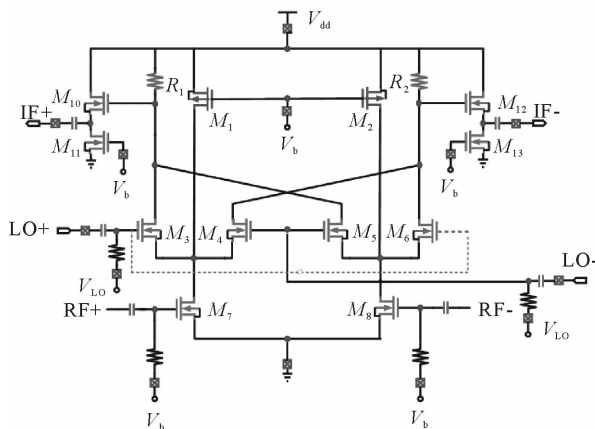


图 5 混频器电路图

Fig. 5 Mixer circuit

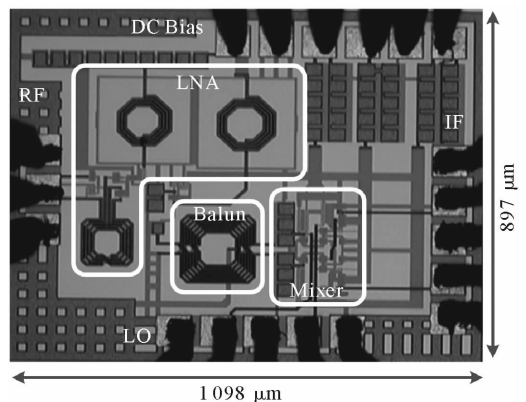


图 6 芯片微照图

Fig. 6 Micrograph of the fabricated chip

图 7、图 8 分别为输入端 S_{11} 及输出端 S_{33} 的前仿真(pre-simulation)、后仿真(post-simulation)以及测试曲线图,三者虽有差异,但在设计的频率范围内, $S_{11} < -15\ \text{dB}$, $S_{33} < -13\ \text{dB}$,显示 LNA 的输出输入端有良好的匹配功能,混频器也有较好的输出匹配,符合预期目标。

图 9 为增益 $1\ \text{dB}$ 压缩点($P_{1\text{dB}}$)与频率的前仿真、后仿真与测试曲线, $P_{1\text{dB}}$ 表示电路的线性度,愈大线性度愈佳,转换增益与供给电压将影响 $P_{1\text{dB}}$ 值。图 9 的测试结果显示, $P_{1\text{dB}}$ 在频带范围内介于 $-35.5\ \text{dBm}$ 与 $-30\ \text{dBm}$ 之间,前仿真、后仿真结果与测试曲线相当接近。图 10 说明混频器输出信号频率为 $264\ \text{MHz}$ 时,转换增益、输出功率与输入功率间的测试曲线,转换增益随着输入信号功率的增加而缓降,输出功率随着输入信号功率的增加而缓增,原因是输入功率增加,表示信号电压增加,电路逐渐趋近于饱和。

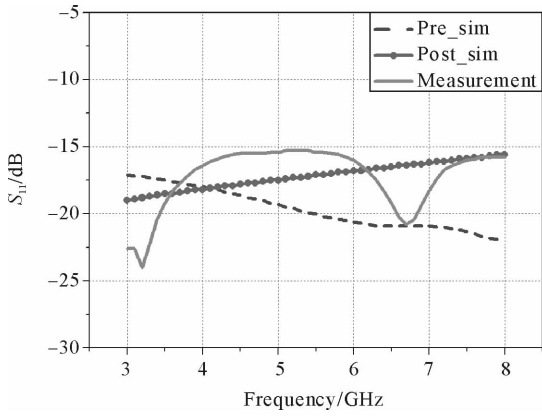


图 7 S_{11} 之仿真与测试曲线图

Fig. 7 The curves of simulation and measurement of S_{11}

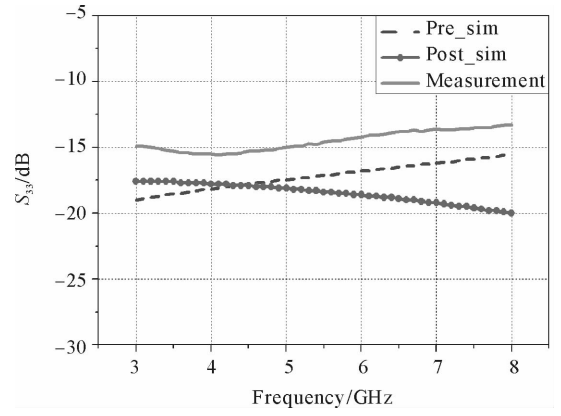


图 8 S_{33} 之仿真与测试曲线图

Fig. 8 The curves of simulation and measurement of S_{33}

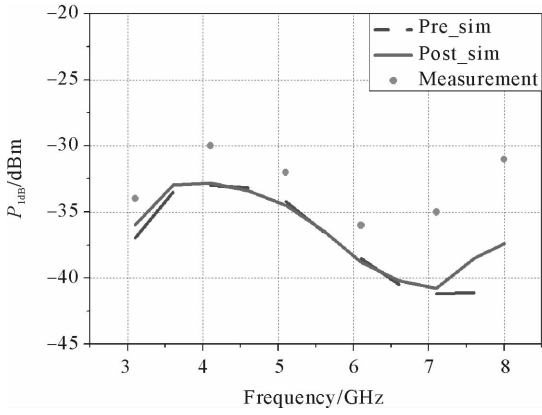


图 9 P_{1dB} 与频率响应之仿真与测试曲线图

Fig. 9 Simulation and Measurement of P_{1dB} versus frequency

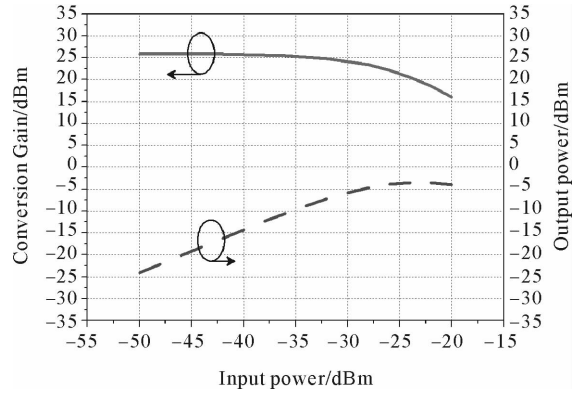


图 10 转换增益、输出功率与输入功率间的测试曲线图 ($IF=264$ MHz)

Fig. 10 The measured curves of conversion gain and output power versus input power at $IF=264$ MHz

图 11 与图 12 分别说明 LO-RF 隔离度之仿真、测试与 LO-IF 隔离度之仿真、测试曲线, LO 与 RF 隔离度在频带范围内接近于 60 dB, LO 与 IF 隔离度在频带范围内接近于 30 dB, 均能符合预期值。

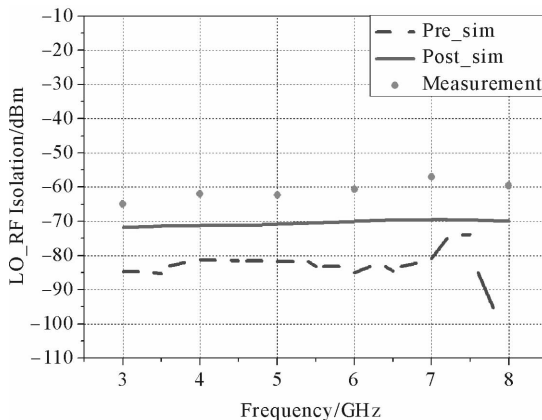


图 11 LO 与 RF 隔离度之仿真与测试曲线图

Fig. 11 The curves between simulation and measurement of isolation LO and RF

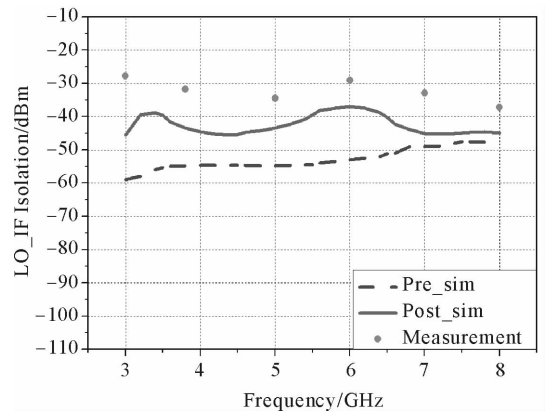


图 12 LO 与 IF 隔离度之仿真与测试曲线图

Fig. 12 The curves between simulation and measurement of isolation LO and RF

图13为转换增益与RF频率的仿真、测试反应曲线,转换增益在RF频带范围内均高于21 dB。图14为噪声系数与RF频率的仿真、测试反应曲线,噪声系数在RF频带范围内均低于6 dB,均能符合预期值。

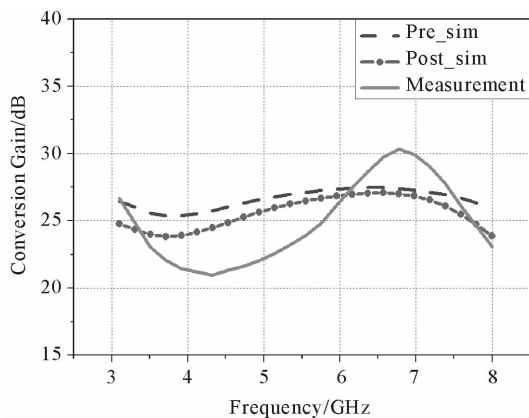


图13 转换增益与RF频带的反应曲线图

Fig. 13 The curves of conversion gain and RF frequency

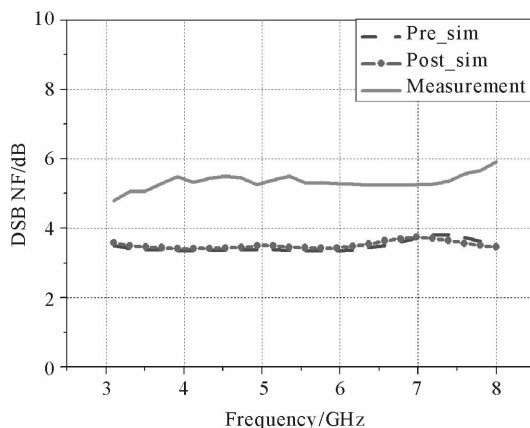


图14 双频带噪声系数与RF频带的反应曲线图

Fig. 14 The curves of DSB NF versus RF frequency

图15为转换增益与IF频率的仿真、测试反应曲线,仿真、测试数据相当接近,中频带的转换增益在频带范围内均高于26 dB。图16为噪声系数与IF频率的仿真、测试反应曲线,噪声系数在频带范围内均低于6 dB,符合预期。表2为本研究的预期规格、仿真值与测试值,仿真值与测试值均能满足预期规格。与部份参考文献的比较如表3所示,其中的优质度(FOM, figure of merit)如式(3)所定义^[7]:

$$FOM = \frac{Gain_{(Max, dB)} \times BW_{(3dB, GHz)}}{NF_{(Min, dB)} \times P_{dc(mW)} \times Area_{(mm^2)}} \quad (3)$$

从表3的数据可以看出,本研究测试数据有普遍性的优势,文献[5]、文献[6]高阶工艺(0.13 μm)的FOM虽较佳,但均使用仿真数据而非测试值。

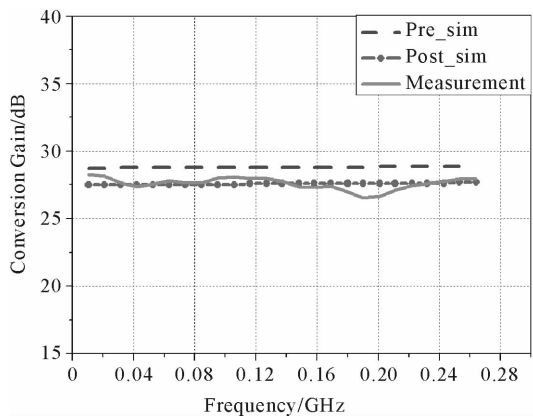


图15 转换增益与中频反应曲线图

Fig. 15 Conversion gain versus intermediate frequency

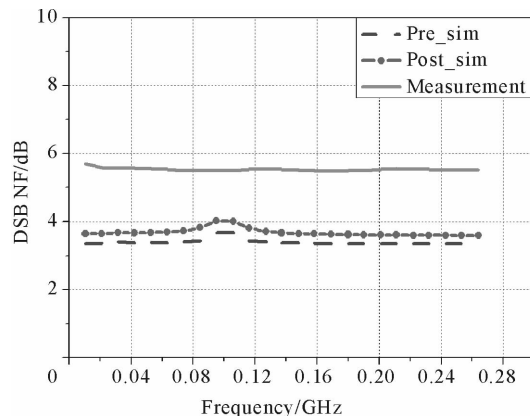


图16 双频带噪声系数与中频带反应曲线图

Fig. 16 DSB NF versus intermediate frequency

3 结论

本研究使用 TSMC CMOS 0.18 μm 工艺来实现 3.1~8.0 GHz UWB 接收机前端电路芯片设计,接收机前端电路包括:单端输入差动输出之低噪声放大器、Balun 以及差动输入/差动输出的降频混频器。本芯片能直接接续文献[8]的研究成果,构成从天线输入经本芯片到ADC输出较完整的接收机电路。测试结果

表 2 预计规格、仿真与测试表

Tab. 2 Specifications, simulation and measurement

项目	预计规格	前仿真(pre-simulation)	后仿真(post-simulation)	测试值(measurement)
工艺(Process)	TSMC 0.18 μm	TSMC 0.18 μm	TSMC 0.18 μm	TSMC 0.18 μm
DC 供给电压/V	1.8	1.8	1.8	1.8
频率/GHz	3.1~8.0	3.1~8.0	3.1~8.0	3.1~8.0
转换增益/dB	>20.00	26.55~25.50	24.90~23.20	24.60~21.00
噪声系数/dB	<10.0	3.5	3.6~3.4	N/A
LO to IF 隔离度 /dB	<-10.0	<-47.0	<-37.0	<-27.8
LO to RF 隔离度/dB	<-10	<-74	<-69	<-57
IIP3/ dBm	>-30.000	-24.300~-25.600	-25.587~-24.490	N/A
功耗(含缓冲级)/mW	<60.00	45.54	44.82	37.98
芯片面积/mm ²	<1.960	NA	0.984	0.984

表 3 芯片特性文献比较表

Tab. 3 Comparison of the proposed circuit with previously published papers

文献	V_{dd}/V	CG/dB	BW/GHz	P_{dc}/mW	$DSB\ NF/dB$	IIP_3/dBm	$Area/mm^2$	Process (CMOS)/ μm	FOM
[3]	1.5	22.90~26.40	3.1~10.6	48.00	4.8~7.7	-11.5	2.400	0.13	0.358
[4]	1.2	22.00	3.1~10.6	38.40	4.1~7.1	-12~-16	3.700	0.13	0.283
[5]*	N/A	18.00	3.1~10.6	17.00	2.9~3.8	-2.9~1.8	0.244	0.13	1.122
[6]*	1.5	19.50~23.30	3.1~10.6	42.00	5.2~9.1	-10.4	0.900	0.13	0.889
[7]	1.8	21.57~19.44	3.0~5.0	59.20	7.8	-15.0	0.167	0.18	0.560
[11]*	1.5	19.40~23.50	3.0~5.0	21.00	<4.2	N/A	1.800	0.13	0.296
本研究	1.8	24.60~21.00	3.1~8.0	37.98	5.0~6.0	N/A	0.980	0.18	0.647

* 表示仿真数据

为:频率范围 3.1~8.0 GHz,供给电压 1.8 V 时, $S_{11}<-15.3\text{ dB}$, $S_{33}<-13.0\text{ dB}$,转换增益为 21.0~24.6 dB,噪声系数在 RF 频带范围内均低于 6 dB,功耗 37.98 mW 及面积 0.985(0.897×1.098)mm²。

致谢:

芯片系统设计中心(CIC)同仁在芯片制作及测试方面提供技术及行政协助,芯片(编号为 T18-98A-172)的研究方能顺利完成,谨致谢意。

参考文献:

[1]ZHENG H,LUONG H C. A 1.5 V 3.1 GHz-8.0 GHz CMOS synthesizer for 9-Band MB-OFDM UWB transceivers[J]. IEEE Journal of Solid-State Circuits,2007,42(6):1250-1260.

[2]KOIVISTO T,MAUNU J,TIILIHARJU E. An analog DS-UWB receiver[C]//2007 IEEE International Conference on Ultra-wideband. Singapore, Sep. 24-26,2007:817-822.

[3]SHI B,CHIA M Y W. A CMOS receiver front-end for 3.1-10.6 GHz ultra-wideband radio[C]//Radar Conference,2006, 3rd European. Manchester, Sep. 13-15,2006:350-353.

[4]WU C Y,LO Y K,CHEN M C. A 3.1-10.6 GHz CMOS direct-conversion receiver for UWB applications[C]//13th IEEE International Conference on Electronics,Circuits and Systems. Nice,Dec. 10-13,2006:1328-1331.

[5]HARJANI R,CAI L. Inductor less design of wireless CMOS front ends[C]//7th International Conference on ASIC '07. Guilin, Oct. 22-25,2007:1367-1370.