

Op Amp 共享与移除取样保持电路之低功率 管线式 ADC 芯片设计*

黄进芳¹, 林伟健¹, 刘荣宜²

(1. 国立台湾科技大学 电子工程系, 台湾 台北 10672; 2. 中华电信研究所, 台湾 桃园 32617)

摘要:以 TSMC 0.18 μm CMOS 制程实现 10 位元 (10-bit)、每秒取样 2×10^7 次、操作电压 1.8 V 的管线式 (pipeline) 模拟数字转换器 (ADC) 芯片。本设计主要是使用 1.5-bit/stage 架构, 并且配合运算放大器 (op amp) 共享 (sharing) 技术, 拔除传统第一级取样保持放大器 (SHA, sample and hold amplifier) 以节省功耗。此芯片的量测结果为输入信号频率 2 MHz 时, 输出的 SNDR 与 ENOB 各为 46.2 dB 与 7.32-bit, 包含焊线垫片 (pad) 的芯片面积为 1.54 (1.391×1.107) mm^2 , 芯片功耗为 29.2 mW。

关键词:模拟数字转换器; 管线式; 运算放大器共享

中图分类号: TN792

文献标志码: A

文章编号: 1672-3767(2011)02-0070-10

Design of Low Power Pipelined ADC Chips with Op Amp Sharing and SHA-less

HUANG Jinfang¹, LIN Weijian¹, LIU Ronyi²

(1. Department of Electronic Engineering, National Taiwan University of Science and Technology, Taipei, Taiwan 10672, China; 2. Chunghwa Telecom Laboratory, Taoyuan, Taiwan 32617, China)

Abstract: A 10-bit 20 MS/s pipelined analog-to-digital converter (ADC) with a 1.8 V voltage supply was designed and successfully fabricated with TSMC 0.18 μm CMOS process. In this chip design, a conventional 1.5-bit/stage network with the operational amplifier (op amp) sharing approach was adopted and the sample-and-hold amplifier (SHA) circuit in the first stage used in the conventional chip design was removed. The overall measured results show that with the input frequency of 2 MHz, the SNDR and ENOB are 46.2 dB and 7.32-bit, respectively. The total chip power consumption is 29.2 mW and chip area is 1.54 (1.391×1.107) mm^2 including pads.

Key words: analog-to-digital converter (ADC); pipeline; op amp sharing

无线通讯领域中, 讯号大多以模拟讯号形式存在, 而信号的传输却越来越多地以数字通讯的方式实现, 因此, 模拟讯号与数字讯号之间需要 ADC (analog-to-digital converter) 来作为沟通的桥梁, 低功耗、低电压是 ADC 芯片设计的目标。

文献[1]提出以较先进但较昂贵的制程 (process) 以提升芯片的转换率 (conversion rate), 其缺点为低直流供给电压下, 输入信号电压动态范围受到限制, 分辨率的提升也变得比较困难。提升分辨率的方法包括加大直流供给电压以增加输入信号的动态范围和改善 LSB (least significant bit) 分辨率。文献[2]、文献[3]使用数字校正技术以克服非线性问题, 但需要大量的数学运算与数字电路, 由于数字电路庞大, 使得芯片面积

收稿日期: 2010-12-06

作者简介: 黄进芳 (1950—), 男, 台湾台南人, 副教授, 博士, 主要从事微波工程、无线通信、有线电视系统设计、模拟 IC 设计等方面的研究。E-mail: jfhuang@mail.ntust.edu.tw.

* 本文作者为台湾学者, 为保持原文风貌, 文中科技术语均未作改动, 在术语出现时进行了英文标注以方便读者阅读。

增加。文献[4]则提出运算放大器(op amp, operational amplifier)共享技术以及 SHA-less(sample-and-hold amplifier-less)两种方法以降低功耗,但 SHA-less 会产生孔径误差(aperture error)。文献[5]提出的 op amp 共享架构,将 MDAC 的 op amp 缩减为 4 片,使用较低的取样频率 10 MHz 达到高分辨率 14 位元,但缺点是占用较大的芯片面积(10 mm²)及高功耗(112 mW)。另外,CMOS 的开关阻抗会随着输入信号振幅的改变而改变,造成非线性效应。为降低非线性效应,文献[6]的芯片在输入开关的栅极(gate)产生一电压 V_{dd} ,以完全导通(on)晶体管开关。

为了降低功耗与节省芯片面积,本研究使用 op amp 共享技术的 ADC 电路架构,于第一级采用 SHA-less 电路,当取样信号送入 MDAC 与比较器时,须维持相同的 RC 延迟时间,以减小孔径误差,此芯片以管线式 ADC 架构使用 4 组运算放大器完成 10 位元分辨率,大幅降低了芯片面积。

1 管线式 ADC 电路架构

管线式架构是将信号的转换过程细分成多级,以降低比较器准确度的要求,而比较器的误差可以用数字错误校正(digital error correction, DEC)电路来消除,使比较器精确度要求不必太高,而功耗较其它高速型 ADC 低,基于这些考虑,本研究电路架构如图 1 所示。

输入信号先传送到拔靴带式(bootstrap)电路,再传送到一组 MDAC 与子 ADC(Sub-ADC)电路,子 ADC 将输入信号转换成数字码,数字码再送入移位寄存器(shift register)。另外,MDAC 电路内的 DAC 将输入信号转换成对应的模拟值,MDAC 的输出减去 DAC 所产生对应之模拟值,将产生一级转换后的余数(residue),透过内部电路增益级将此余数放大至下一级可转换的电压区间,依此类推,重复相同的动作,直到第 m 级处理后,再由 DEC 电路将每一级产生的数字码合并成 n -bit 数字码输出。本设计中 $n=10$,亦即 10 位元的数字码输出。

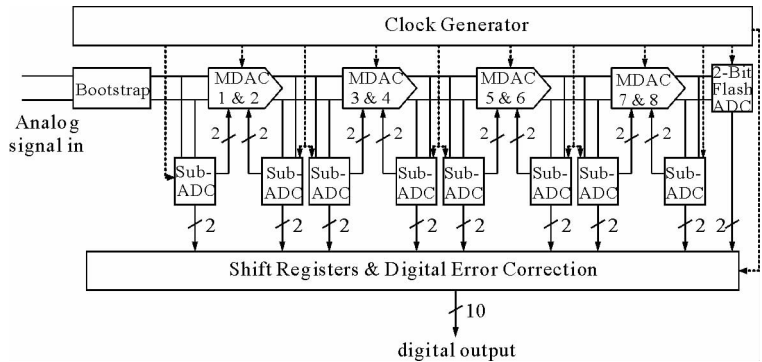


图 1 10 位元管线式 ADC 电路架构图

Fig. 1 The structural diagram of 10-bit pipelined ADC circuit

2 管线式 ADC 电路的设计

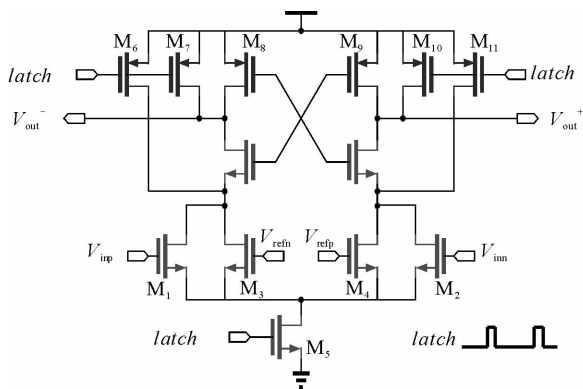
2.1 取样保持电路

本设计拔除传统管线式 ADC 的 SHA 电路,节省了 20% ~ 30% 功耗。SHA 在闭回路(closed-loop circuit)中增益为 1,而 SHA 产生的杂讯会直接输入到 ADC,要减低杂讯的影响则必须增加电容值,如此一来将产生第一级 MDAC 与子 ADC 进行相减的过程,造成时序(timing)上的问题,不过,在 1.5-bit/stage 规格下,op amp 的抵补电压(offset voltage)可以利用 DEC 电路补偿回来。

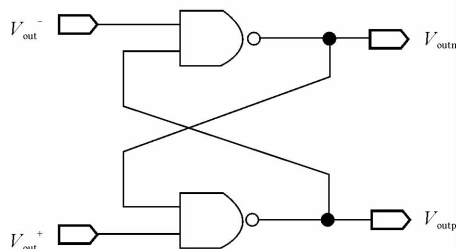
2.2 子 ADC 电路

在 1.5-bit/stage 规格的电路架构中,容许比较器存在较大的误差范围,再利用后级的 DEC 技术来补偿。依照此规格的电路架构,只要比较器的抵补电压在 $\pm V_{ref}/4$ 之内皆可补偿回来。故此规格的比较器,必须优先考虑功耗。因此,本电路使用动态比较器,如图 2 所示。图 2(a)的比较器利用 NMOS $M_1 \sim M_4$ 比值的不同来完成不同需求的转态,可以取代制程变异大的电阻。管线式 ADC 的最大优点是节省电阻的芯片面积。当门闩(latch)为导通(on)时,比较器开始取值比较;当门闩为关闭(off)时,比较器停止工作。图 2(b)为 RS 门闩电路,接在动态比较器的正负端输出,让输出不随着时脉(clock) 导通/关闭(on/off)的切换而变化,维持固定的逻辑输出。

图 3(a)为 1.5-bit/stage 子 ADC 电路,主要分成比较器和数字编译码两区块,两组比较器的门坎电压(threshold voltage)分别为 $V_{ref+}/4$ 和 $V_{ref-}/4$, V_{ref+} 与 V_{ref-} 为输入管线式 ADC 之最正及最负电压, V_{in+} 与



(a) 动态比较器电路

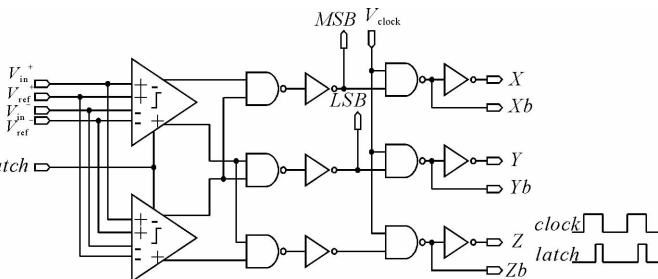


(b) RS 门电路

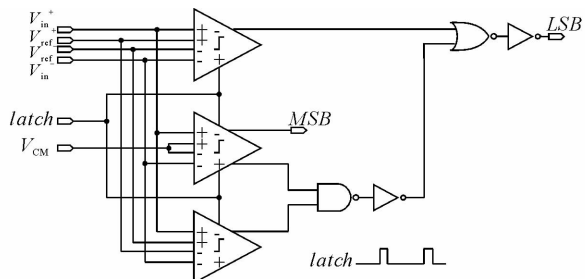
图 2 动态比较器图

Fig. 2 The dynamic comparator

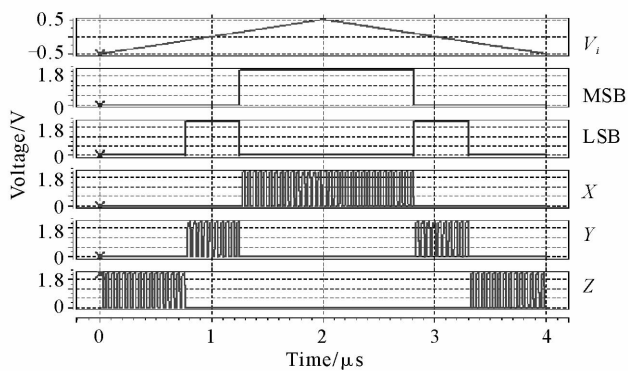
V_{in-} 为前一级 MDAC 的输出信号电压,经门闩时脉将信号取样得之,藉由数字译码电路输出数字码 MSB (most significant bit)、LSB (least significant bit),分别为 00,01 和 10 三种状态。另外得到的信号 X, Y, Z 利用 V_{clock} 产生脉冲,用来控制 MDAC 开关(switch),图 3(b)为 1.5-bit/stage 子 ADC 仿真结果。



(a) 电路架构



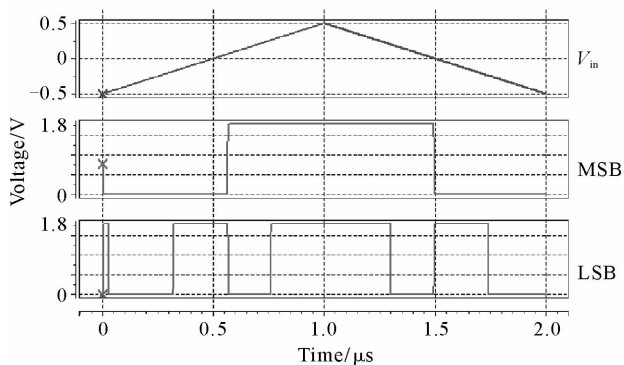
(a) 电路架构



(b) 仿真结果

图 3 子 ADC 电路图

Fig. 3 The sub-ADC circuit



(b) 仿真结果

图 4 2 位元快闪 ADC

Fig. 4 The 2-bit flash ADC

2.3 2 位元快闪 (2-bit Flash) ADC 电路

管线式 ADC 电路的最后一级为 2 位元快闪 ADC,电路如图 4(a)所示,2 位元快闪 ADC 使用 3 个动态比较器,比较器门坎电压分别为 $V_{ref}/2, 0$ 和 $-V_{ref}/2$ 。门闩时脉将信号取样,经由数字译码电路产生 MSB 与 LSB 数字码,分别 00,01,10 与 11 状态的 2 位元数字码,而此级的 LSB 不需再经过数字错误修正,直接输出。图 4(b)为 2 位元快闪 ADC 的仿真结果。

2.4 拔靴带式 (bootstrap) 电路

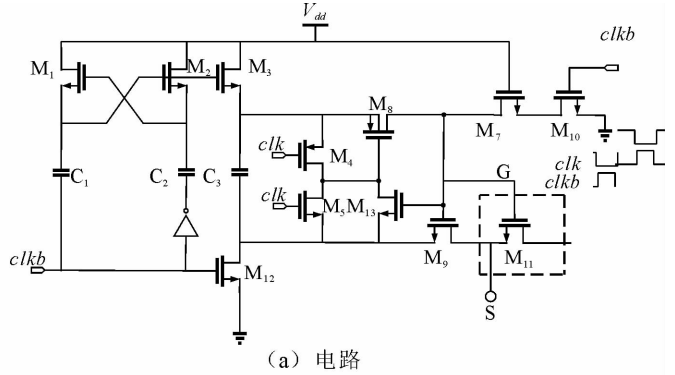
为了第一级 MDAC 信号输出不受 MOS 开关的影响,在 MDAC 信号的输入开关上加入拔靴带式电路,如图 5(a)所示。当 clk 为 off 时,栅极经 M_7 与 M_{11} 接地, V_{dd} 由 NMOS M_3 与 M_{12} 对电容 C_3 充电,此时开关为关闭,当 clk 为导通时, M_5 会拉下 M_8 栅极电位, C_3 的电荷流经 M_9 与 M_{11} 栅极,让 G-S 端保持 V_{dd} 电压,促使 MOS 开关完全导通,固定开关的导通电阻,大大减小输入电荷注入的效应并可视作共模 (common-mode, CM) 杂讯而予以消除,改善了非线性效应。图 5(b)为拔靴带式开关电路的仿真结果。

2.5 MDAC (multi-DAC) 电路

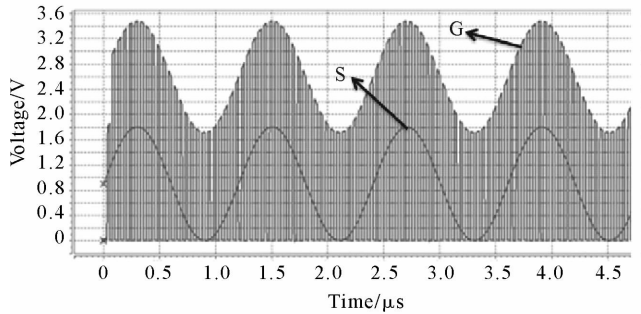
由于本管线式 ADC 中的 MDAC 不存在相位将信号重置到零点 (zero) 的可能性,因而将 2 个 MDAC 合并使 op amp 数量减半。此技术面临下列问题:额外增加多组开关,每组开关都与 op amp 串联,将影响电路稳定的时间;每一级的输入取样率将受到前一次取样组件 op amp 的有限增益 (finite gain) 误差的影响,而 op amp 必须永远处于工作状态,此项误差无法被抵消。因此,较高增益的 op amp 电路是设计的重点之一。

图 6(a)为一般 MDAC 电路架构,当第 n 级取样时,第 $n+1$ 级在处理余数,此时第 n 级 op amp 为闲置,为节省功耗,将两级做 op amp 共享技术如图 6(b),当第 n 级为取样模式时,第 $n+1$ 级做放大,此时比一般 MDAC 电路架构少了一片 op amp,节省一半功耗。

图 7 是使用 op amp 共享技术的 MDAC 电路图,此电路将数字模拟转换器 (DAC) 的第 n 级与第 $n+1$ 级



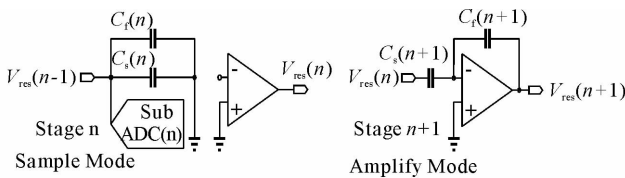
(a) 电路



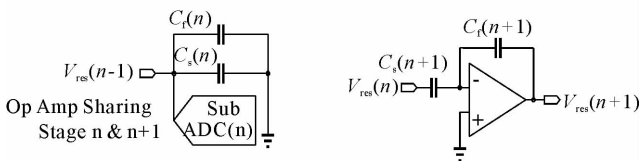
(b) 仿真结果

图 5 拔靴带式开关图

Fig. 5 The bootstrap switch



(a) 一般 MDAC 转换电路



(b) 使用 op amp 共享技术的 MDAC 转换电路原理

图 6 MDAC op amp 共享工作原理图

Fig. 6 The diagram of MDAC operation with op amp sharing approach

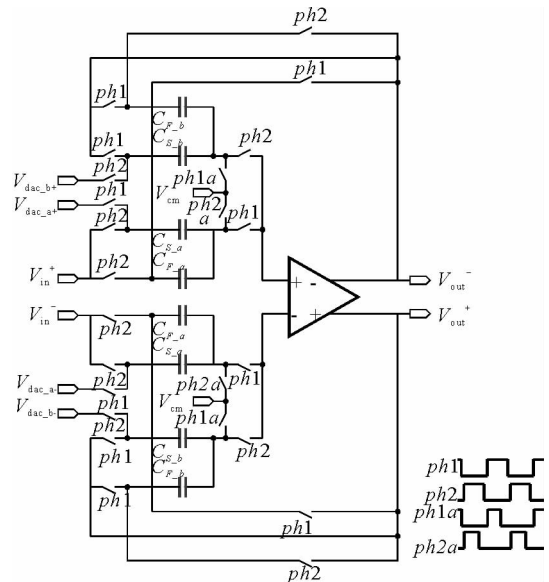


图 7 使用 op amp 共享技术的 MDAC 电路图

Fig. 7 The circuit diagram of MDAC circuit with op amp sharing

整合而成, C_{S_a} 与 C_{F_b} 各分别为第 n 级的取样与回授电容; V_{dac_a} 为第 n 级 DAC 输出的参考电位; V_{dac_b} 为第 $n+1$ 级 DAC 输出的参考电位, 与传统的 MDAC 相比, 额外增加 12 组开关来控制 op amp 两级间的切换, 而电路的稳定时间也因此相对增加。

图 8 说明管线式 ADC 电路(包括 sub-ADC 和 MDAC)仿真的 10 位元输出波形(B0~B9)图, 取样率为 20 MHz, 输入信号振幅/频率为 $1.8 V_{P-P}/500 kHz$ 。

图 9 为 MDAC 的半电路, 电压增益如下:

$$\frac{V_o}{V_i} = \frac{-A_{vc}}{1 + \frac{1}{A_{vo}\beta}} \approx -A_{vc} \left(1 - \frac{1}{A_{vo}\beta}\right) \quad (3)$$

其中: β 为回授因子, $\beta = \frac{C_f}{C_f + C_s + C_p}$, A_{vc} 为电路

的闭回路增益 $A_{vc} = \frac{C_s}{C_f}$, A_{vo} 为 op amp 的开回路增益 (open loop), C_s 为取样电容、 C_f 为回授电容与 C_p 为 op amp 输入寄生电容, $1/(A_{vo}\beta)$ 满足

$$\frac{1}{A_{vo}\beta} \leq \frac{1}{2} LSB \quad (4)$$

其中, $\frac{1}{2} LSB = \frac{1}{2^{N+1}}$, N 为模拟数字转换分辨率。得到 op amp 所需开回路增益如下:

$$A_{vo} > \frac{1}{\beta} \cdot 2^{N+1} \quad (5)$$

由式(5)可以得知每增加 1 位元分辨率, op amp 开回路增益必须提高 1 倍。

单一 op amp 所需开回路增益频宽如下:

$$f > \frac{1}{\pi\beta} \cdot (N+1) \ln 2 \cdot f_s \quad (6)$$

其中, f_s 为 ADC 取样频率, N 为模拟数字转换分辨率。

MDAC 的 op amp 采用两级全差动式, 如图 10 所示, 第一级为折迭连接 (folded-cascode) 电路, 第二级为具有频率补偿的共源级电路, 此设计可以提供较高的电压增益, 如下所示:

$$|A_{v1}| \approx g_{m1} \{ [(g_{m8} + g_{mb8})r_{O8} (r_{O1} \parallel r_{O10})] \parallel [(g_{m6} + g_{mb6})r_{O6}r_{O4}] \} \quad (7)$$

其中: $g_{mi}, g_{mbi}, i = 1, 2, \dots, 8$, 分别为对应电晶体 M_i 的转导 (transconductance) 与基体效应 (body effect) 的转导; $r_{oi} (i = 1, 2, \dots, 10)$ 为对应的电晶体汲极看入 (looking into drain) 的电阻。

第二级作为扩大输出摆幅及加强增益之用, 输出摆幅 V_{outn} , 如下所示:

$$V_{outn} = 2[V_{DD} - (V_{DD12} + |V_{DD14}|)] \quad (8a)$$

其中, V_{DD} 为电路的 DC 供给电压, $V_{ODi} = V_{GSi} - V_{THi}, i = 12$ 或 $i = 14$ 各为对应晶体管 M_{12} 或 M_{14} 的过驱动电压 (overdrive voltage)。同理, 输出摆幅 V_{outp} , 如式(8b) 所示。式(8b) 参数的意义雷同于式(8a)。

$$V_{outp} = 2[V_{DD} - (V_{OD13} + |V_{OD15}|)] \quad (8b)$$

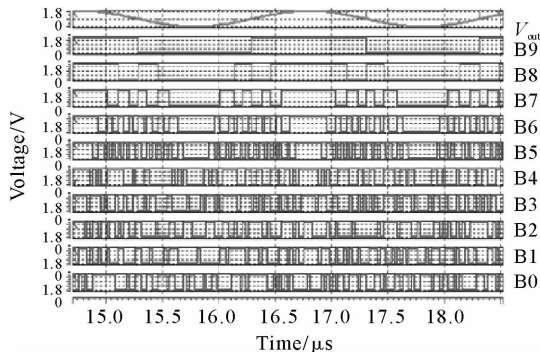


图 8 B0~B9, 10 位元管线式 ADC 输出位元波形图

Fig. 8 B0~B9, 10-bit pipelined ADC output bit waveform

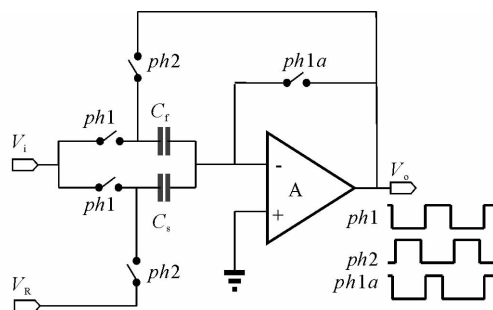


图 9 MDAC 的半电路架构图

Fig. 9 MDAC half-circuit structure

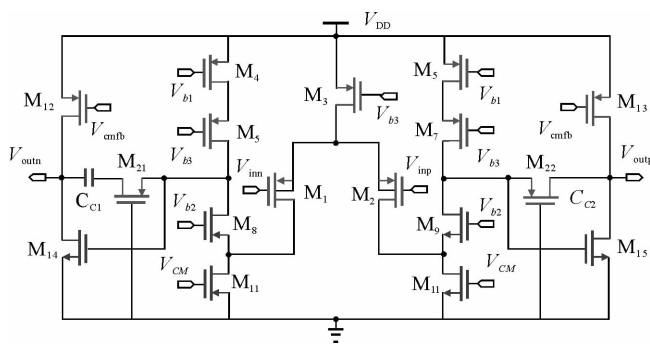


图 10 Op amp 两级全差动式电路图

Fig. 10 Op amp two-stage full differential circuit

本设计为 10 位元、20 MHz 取样频率,所需的 op amp 电压增益 >75 dB,负载电容 2.4 pF,增益为 1 时的频宽 >160 MHz,相位余裕 (phase margin) >60°,输出抵补电压需 <1 mV,转动率 (slew rate) (上升缘与下降缘) >40V/μs,输出摆幅需 ≥1 V,上升与下降的设定时间 (settling time) 皆 ≤23 ns。

为了不使 op amp 输出电压因电流不匹配造成不对称的 CM 电压输出,使用图 11 交换式电容 (switched-capacitor, SC) CMFB 电路。此 CMFB 维持输出在 CM 点上。当 *ph2* 为导通 (on) 时,量测输出 V_{outp} 与 V_{outn} CM 位准,当 *ph1* 导通时,输出与参考值做比较,将误差传至放大器放大即为偏压 V_b ,再传回电路。

图 12 为 op amp 增益以及相位对频率反应的仿真图。因为 SC-CMFB 电路工作初始为不稳定状态,并且是时变电路,输出 V_{outp} 与 V_{outn} 需有一段时间等待系统稳定再输出 V_{CM} 位准以控制 PMOS M_{13} 与 M_{14} , SpectreRF 软件会先用 pss 仿真来等待系统收敛后再做小信号分析, HSPICE 软件并无此项功能,故使用 SpectreRF 软件做 op amp 频谱特性模拟,表 1 为 op amp 规格及前后仿真的总成,前后仿真的数据相当一致,也均能符合规格需求。

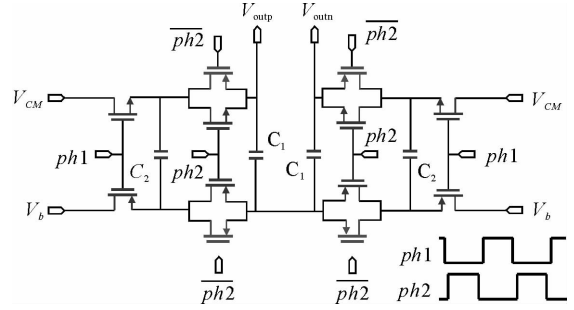


图 11 交换式电容共模回授 (CMFB) 电路图

Fig. 11 Switching capacitor CMFB circuit

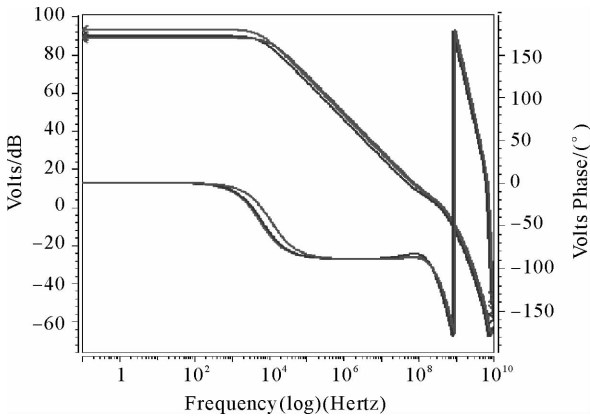


图 12 Op amp 增益以及相位对频率反应的仿真图

Fig. 12 Simulation of op amp gain and phase versus frequency

表 1 Op amp 规格及前后仿真表

Tab. 1 Op amp specs and its pre-simulation and post-simulation

参数	规格	前仿真 (Pre-sim)	后仿真 (Post-sim)
供给电压/V	1.8	1.8	1.8
负载电容/pF	2.4	2.4	2.4
电压增益/dB	> 75	101	100.2
增益为 1 的频宽/MHz	> 160	260	252
相位余裕/(°)	> 60	64.6	60
输出抵补电压/mV	<1	0.43	0.82
Slew Rate (上升缘)/(V/μs)	>40	78.8	74.3
Slew Rate (下降缘)/(V/μs)	>40	54.9	53
输出摆幅/V	≥1	1	1
设定时间 (上升缘)/ns	<23	21.3	22.4
设定时间 (下降缘)/ns	<23	13.2	15.3
功耗 /mW	< 10	7.63	7.531

2.6 时脉产生器 (Clock Generator)

时脉产生器是管线式 ADC 与 SC 电路的重要输入信号组件。SC 电路需要互不重迭的时脉信号,来避免信道电荷注入的影响,如图 13(a) 所示的电路。这次的设计需要 8 组不同相位的时钟脉冲,分别是 *ph1*、*ph1b*、*ph1a*、*latch1*、*ph2*、*ph2b*、*ph2a* 以及 *latch2*,仿真结果如图 13(b) 所示。

2.7 数字错误校正 (DEC) 电路

数字错误校正 (digital error correction, DEC) 电路主要由移位寄存器及加法器电路组成。移位寄存器将每一级子 ADC 所产生的 2 位元数字码 ($D_{i10} \sim D_{i91}$) 移位与暂存,等待后级的信号处理完之后,再由 DEC 电路加总后得一组完整的数据。而移位寄存器使用的个数,必须依据所使用的级数来决定。若使用 5 级数,则第一级数字码必须等待 5 个周期数,第二级必须等待 4 个周期数,直到最后一级处理完毕后,再由 DEC 电路加总后输出。移位寄存器使用 D 型正反器来实现,DEC 电路使用半加器与全加器。以 9 级为例,每级有 2 个位元数字码,总共有 18 个数字码 ($D_{i10} \sim D_{i91}$),透过移位寄存器移位,再由全加器相加得到 10 位元 (D_{out9})

~D_{out0})的数据。图 14(a)为移位寄存器电路,图 14(b)为 D 型正反器电路,移位寄存器由 2 组 D 型正反器所组成。图 14(c)为 DEC 电路架构,由 2 个半加器与 7 个全加器所组成。

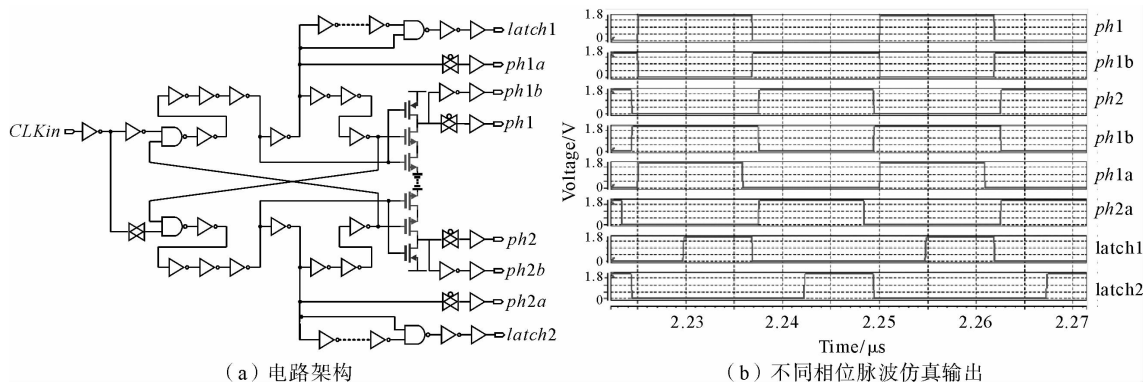


图 13 时脉产生器 (clock generator) 不同相位脉波仿真输出图

Fig. 13 The simulation outputs of pulse waves with different phases for clock generator

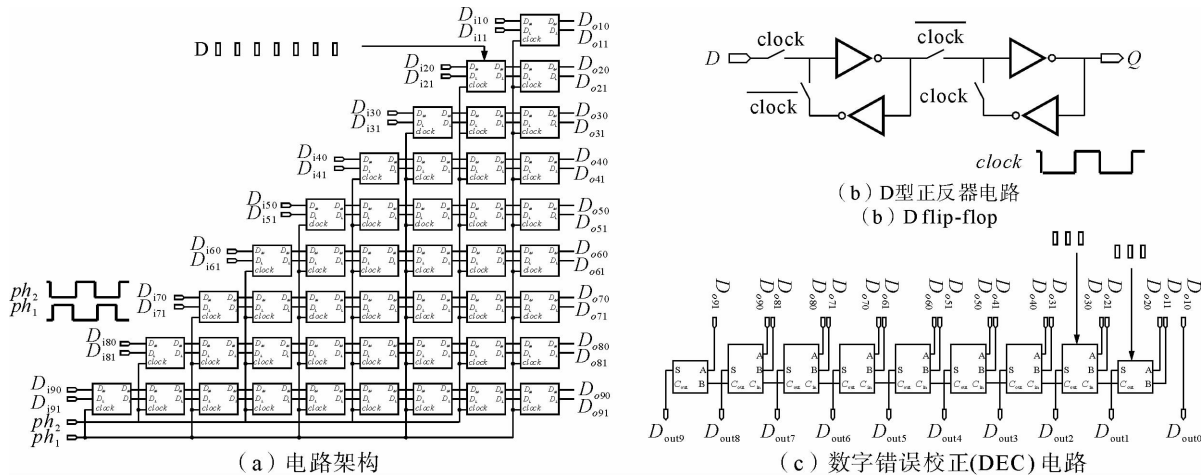


图 14 移位寄存器

Fig. 14 Shift register

3 管线式 ADC 的模拟

图 15 所示取样率为 20 MHz,输入信号振幅/频率为 1 V_{P-P}/130 kHz 时,仿真 10 位元管线式 ADC 数字码经过 DAC 转换后重建的波形。图 16 为 INL (integral noise level)、DNL (differential noise level)与输出频谱的仿真,由图 16(a)显示 INL 落在 0.96 LSB,图 16(b)显示 DNL 落在 1.2 LSB 之间,图 16(c)为 FFT (1024 点)计算的输出信号频谱,得到 SNDR 为 58.4 dB、SFDR 为 61.36 dB 以及 ENOB 为 9.42 位元。

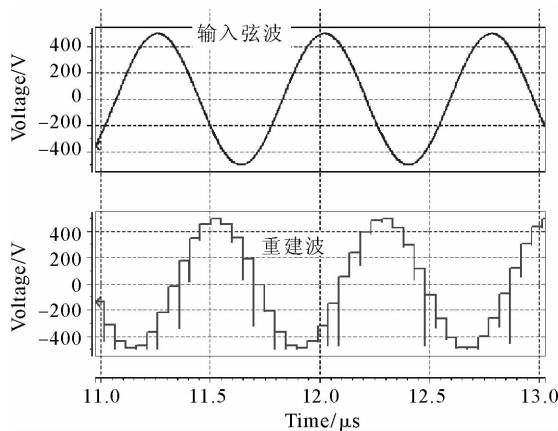


图 15 10-bit 管线式 ADC 经过 DAC 仿真的结果图

Fig. 15 Simulation output of pipelined ADC connected with a DAC

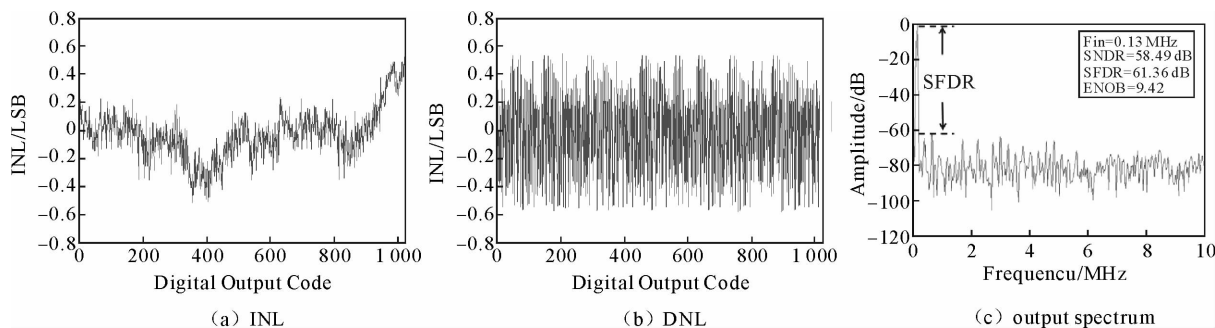


图 16 本管线式 ADC 的特性仿真图

Fig. 16 The simulation of pipelined ADC features

4 实测与讨论

主要的量测仪器有逻辑分析仪 (Agilent 16903A)、信号产生器 (Anritsu MG3642A、Anritsu E4438A) 与频谱分析仪, 量测需要差动 (differential) 输入信号源。本量测使用 transformer with bias-tee 产生的差动信号作为输入信号, 输入信号 $1 V_{P-P}$ 、频率 2 MHz、取样频率为 20 MHz 及操作电压 1.8 V 来量测 10 位元管线式 ADC 芯片。图 17 为本研究芯片的光罩微照图。图 18 为 INL 及 DNL 量测结果, 由图 18(a), INL(max) 落在 2.84 LSB, 图 18(b) 显示 DNL (max) 落在 1.36 LSB 之间, 频谱输出计算的 SNDR (讯号杂讯失真比) 与 SFDR (无杂讯动态范围), SNDR 如下所示:

$$SNDR = \frac{\text{Signal Power}}{\text{Noise and Distortion Power}} = 201g \frac{S}{\sqrt{H_2^2 + H_3^2 + \dots}} \quad (9)$$

其中, S 表示信号的功率值, 而 H_2, H_3, \dots 各表示第 2 次、第 3 次、... 谐波的功率值。

SFDR 为输入信号振幅与第二大谐波之差。图 18(c) 为 FFT (65536 点) 得到 SNDR 为 46.2 dB、SFDR 为 56.42 dB 以及 ENOB 为 7.32 位元。

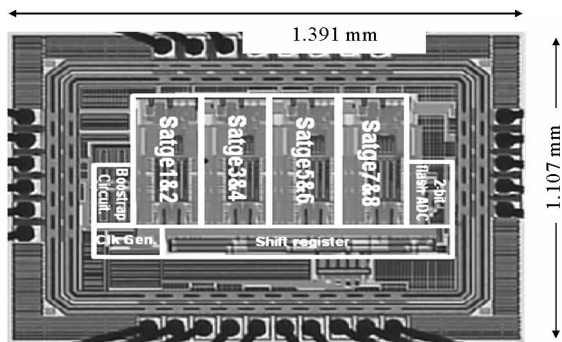


图 17 本研究 ADC 芯片光罩微照图

Fig. 17 The die micrographic photo of ADC in the study

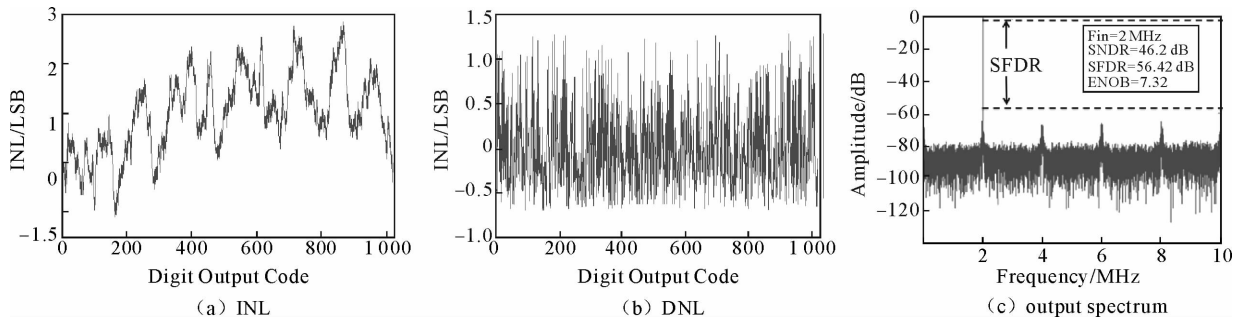


图 18 本研究 ADC 芯片的特性量测图

Fig. 18 Measured results of the proposed ADC

图 19 所示为逻辑分析仪量测的 10 位元管线式 ADC 数字输出码以及经过 DAC 转换后重建的输出波形 (reconstruction wave)。图 20 说明 SNDR 与 SFDR 对输入信号频率的关系: 频率低于 2 MHz 时, SNDR

与 SFDR 随频率增大而递增;频率超过 2 MHz 时,频率愈高,SNDR 与 SFDR 就变得愈小。

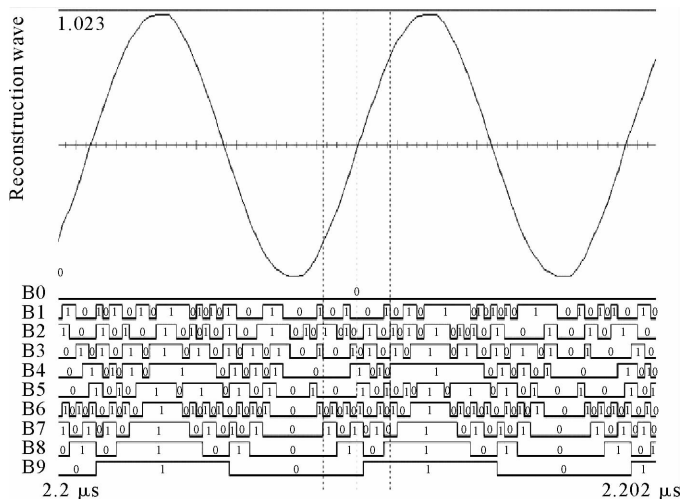


图 19 10 位元管线式 ADC 输出数字码及重建的波形图
Fig. 19 The output digital code of 10-bit pipelined ADC and its reconstruction waveform

本研究之芯片特性与相关文献研究的特性比较如表 2 所示,芯片面积列入评估的特征指数 FoM (figure of merit)定义为

$$FoM = \frac{Area}{2^N \cdot f_s} \quad (10)$$

其中:Area 为芯片面积,mm²;N 为分辨率,bit;f_s 为取样率,Hz。由表 2 可知,FoM 稍有不足,但优于使用较先进制程(文献[1])的取样率为 1 000 MHz 且功耗高达 250 mW 的芯片特性;相较文献[4],本研究使用较低的供给电压;在芯片面积与功耗方面远优于文献[5]的特性。

5 结论

利用 TSMC 0.18 μm CMOS 制程及 op amp 共享技术作出 1.8 V 20 MS/s 管线式 ADC 芯片。量测此芯片的模拟数字转换特性,SNDR 以及 ENOB 分别为 46.2 dB 和 7.32 位元,相较于仿真的 ENOB 9.42 位元有点差距。量测数据不佳的原因经探讨,可能为:

- 1) 制程变异造成电容值的变化而影响 SNDR;
- 2) DAC 输出过大、过小或者内部增益小于 1,造成输出无法达到 rail-to-rail 的有效解析范围,ADC 线性度变差,而产生遗失码 (missing code);
- 3) 制程变异造成 op amp 内部偏压电路 MOS 晶体产生电流差异,因而降低 ADC 的性能;
- 4) 外部 DC 供给电压的涟波(ripple)影响整体 ADC 的特性。

致谢:

芯片设计制作中心(CIC, Chip Implementation Center)同仁在芯片制作及量测方面提供技术及行政协助,芯片(编号:T18-99C-171)研究方能顺利完成,谨致谢意。

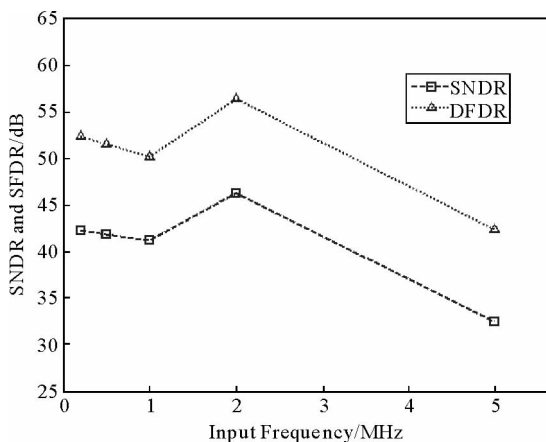


图 20 量测的 SNDR、SFDR 与输入信号频率的变化图
Fig. 20 Measured results of SNDR and SFDR versus frequency changes of input signals

表 2 本研究芯片特性与相关文献的比较表

Tab. 2 The comparison of characteristics of chips in the study and some other works

项目	本研究	文献[1]	文献[4]	文献[5]
制程 (CMOS)/μm	0.18	0.13	0.18	0.18
供给电压/V	1.8	1.2/2.5	3	1.8
取样频率/MHz	20	1 000	30	10
分辨率/bit	10	11	10	14
ENOB/dB	7.32	8.54	9.24	11.93
芯片面积/mm ²	1.54	3.5	0.7	10
功耗/mW	29.2	250	21.6	112
FoM/dB	-104.42	-117.67	-109.42	-105.14

参考文献:

- [1] GUPTA S K, INERFIELD M A, WANG J. A 1-GS/s 11-bit ADC with 55-dB SNDR, 250-mW power realized by a high bandwidth scalable time-interleaved architecture[J]. IEEE Journal of Solid-State Circuits, 2006, 41(12): 2650-2657.
- [2] CAO J M, CHEN Z J, LU W G, et al. A cost-efficient 12-bit 20 Msamples/s pipelined ADC[C]// Proceedings of 2008 9th International Conference on Solid-State and Integrated-Circuit Technology. Shanghai, 2008: 1961-1964.
- [3] SHU Y S, SONG B S. A 15b-linear, 20 MS/s, 1.5b/stage pipelined ADC digitally calibrated with signal-dependent dithering [C]// IEEE Symposium on VLSI Circuits Digest of Technical Papers. Honolulu, 2006: 218-219.
- [4] LI J, ZENG X, XIE L, et al. A 1.8-V 22-mW 10-bit 30-MS/s pipelined CMOS ADC for low-power subsampling application [J]. IEEE Journal of Solid-State Circuits, 2008, 43(2): 321-329.
- [5] CHIU Y. High-Performance Pipeline A/D Converter Design in Deep-Submicron CMOS[D]. Berkeley: University of California, 2004.
- [6] JOHNS D, MARTIN K. Analog integrated circuit design[M]. New York: John Wiley & Sons, Inc., 1997.
- [7] MIN B M, KIM P, BOWMAN P. A 69-mW 10-bit 80-MSample/s pipelined CMOS ADC[J]. IEEE Journal of Solid-State Circuits, 2003, 38(12): 2031-2039.
- [8] SUMANEN L. Pipeline analog-to-digital converters for wide-band wireless communications[D]. Helsinki: Helsinki University of Technology, 2002.

(上接第 69 页)

- [3] 林从谋, 杨林德, 崔积弘. 浅埋隧道掘进爆破振动特征研究[J]. 地下空间与工程学报, 2006, 2(2): 276-279.
LIN Congmou, YANG Linde, CUI Jihong. Study on the vibration characteristic of the shallow-tunneling blasting[J]. Chinese Journal of Underground Space and Engineering, 2006, 2(2): 276-279.
- [4] 林从谋, 崔积弘. 尾水隧道掘进爆破对邻近铁路的震动影响监测分析[C]// 首届全国防震减灾学术会议: 防震减灾工程研究与进展. 北京: 科学出版社, 2005: 132-135.
- [5] 余永强, 杨小林, 王伟. 矿山爆破开采对周围建筑物的影响[J]. 金属矿山, 2004(10): 69-72.
YU Yongqiang, YANG Xiaolin, WANG Wei. Effect of mine blasting on nearby building[J]. Metal Mine, 2004(10): 69-72.
- [6] 何鹤, 顾月兵. 爆破震动对附近民房影响情况的分析[J]. 西部探矿工程, 2008(1): 136-138.
HE Hu, GU Yuebing. Analysis of the influence to houses nearby caused by blasting in a nuclear power station[J]. West-China Exploration Engineering, 2008(1): 136-138.
- [7] 冯叔瑜, 王中黔. 地铁爆破的震动问题[J]. 中国铁道科学, 1999, 20(2): 30-33.
FENG Shuyu, WANG Zhongqian. The problem of blasting vibration in metro engineering[J]. China Railway Science, 1999, 20(2): 30-33.
- [8] 陈泽观, 林从谋. 新爆破安全判据下房屋安全的监测与控制[J]. 西部探矿工程, 2006(12): 194-196.
CHEN Zeguan, LIN Congmou. Monitor and control of safety on houses under the new safety criterion of blasting[J]. West-China Exploration Engineering, 2006(12): 194-196.
- [9] 中华人民共和国国家标准. GB 6722—2003, 爆破安全规程[S].