

NMOS 阱内外碰撞 SEU 特性的仿真分析

汪俊¹, 师谦², 谢国雄¹

(1. 滁州学院 电子信息工程系, 安徽 滁州 239000;

2. 电子器件可靠性物理及其应用技术国家级重点实验室, 广东 广州 510610)

摘要:通过二维器件模拟软件 MEDICI 对小尺寸硅 SRAM 单元 SEU 特性进行了分析。在阱内外碰撞时, 当耦合电阻, NMOS 阱深等因素变化时, SRAM 单元的 SEU 特性将发生变化, 器件阱外碰撞一直比阱内碰撞时对 SEU 敏感。参数变化过程中对阱内外碰撞时器件 SEU 敏感性的影响情况不同, 器件阱外碰撞时参数变化对 SEU 特性影响较小, 但器件阱内碰撞时参数变化对 SEU 特性影响较大。

关键词:单粒子翻转; 线能量传输; 耦合电阻; 阱内碰撞; 阱外碰撞

中图分类号: TN303

文献标志码: A

文章编号: 1672-3767(2011)04-0095-04

Simulation of SEU Characteristics of Strikes Outside or Inside NMOS Traps

WANG Jun¹, SHI Qian², XIE Guoxiong¹

(1. Department of Electronic and Information Engineering, Chuzhou Institute, Chuzhou, Anhui 239000, China;

2. The State Key Lab of Reliability Physics and Application Technology of Electronic Devices, Guangzhou, Guangdong 510610, China)

Abstract: The analysis of the SEU characteristics of small dimension silicon SRAM was made by means of 2 D device simulation software MEDICI. When the coupling resistance, trap depth of NMOS and other factors are changed, the SEU characteristics of SRAM change in strikes outside or inside the traps. The device is more sensitivity with strike inside the trap than that outside the trap. The impact of strikes outside or inside the traps on SEU sensitivity of devices is different in the process of parameters variation. The impact of strike outside the trap on SEU sensitivity of device is smaller when parameters vary, but the impact of strike inside the trap on SEU sensitivity of device is greater when parameters vary.

Key words: single event upset; linear energy transfer; coupling resistance; strike inside trap; strike outside trap

单粒子翻转(single event upset, SEU)主要发生在存储器件和逻辑电路中, 其中静态随机存取存储器(static random access memory, SRAM)六管单元是人们研究 SRAM 电路以及基于 SRAM 的现场可编程门阵列(field programmable gate array, FPGA)等电路的 SEU 特性时常选择的研究对象。人们对 SRAM 单元的研究也较多, 但很少有人对阱内外碰撞的 SEU 敏感性进行研究, 仅文献[1]中通过三维器件模拟软件 DAVINCI 对 0.5 μm 辐射加固的 CMOS SRAM 单元 SEU 特性进行了仿真, 并对器件 SEU 特性趋势进行预测, 认为随着器件进入深亚微米阶段, 器件碰撞最敏感的地方可能会从阱外碰撞变为阱内碰撞。本研究通过二维器件模拟软件对沟长为 0.1 μm 的 NMOS 在阱内外碰撞时进行仿真分析。

1 仿真条件

利用 Synopsys 公司的二维器件模拟软件 MEDICI 来研究器件 SEU 特性, MEDICI 的仿真精确度和三

收稿日期: 2010-10-27

基金项目: 滁州学院科研项目(2010kj012B).

作者简介: 汪俊(1984—), 男, 安徽巢湖人, 助教, 主要从事集成电路与电子元器件可靠性的研究。

E-mail: wangjun2050con@163.com.

维模拟软件 DAVICI 相近, MEDICI 提供了两种研究器件 SEU 特性的方法, 为了能更好更精确地展现 SRAM 单元的 SEU 情况, 使用外电路类似 SPICE 的电路形式进行混合级仿真。

混合级仿真中, NMOS 和 PMOS 沟道长均设定为 $0.1 \mu\text{m}$, 同时进行沟道注入使其阈值分别调整为 0.4 V 和 -0.4 V , 掺杂浓度和结深等参数按照 $0.13 \mu\text{m}$ 工艺参数进行设定, 电源电压为 1.2 V 。类似 SPICE 的电路中, 使用 Level49 的 BSIM3V3 模型, 电路中 NMOS 和 PMOS 的宽长比分别是 $1:1$ 和 $2:1$ ^[2]。其它各参数按照 $0.13 \mu\text{m}$ 工艺模型对 NMOS 和 PMOS 进行设定, 默认情况下耦合电阻设为 $15 \text{ k}\Omega$ 。

由于柱状坐标模型可以准确地反映出粒子入射到器件中产生电子空穴对等离子体的情况, 仿真结果精确度不低于三维仿真结果, 故在建立网格时采用柱状坐标。

2 电流收集方式

SRAM 电路生产工艺中, 可以采用单阱或双阱工艺, 若采用单阱工艺, 对于不同衬底的器件来说, 存在阱外的 NMOS, PMOS 和阱内的 NMOS, PMOS。当粒子入射后, 若粒子入射的是阱内的 NMOS 或 PMOS, 这种碰撞叫做阱内碰撞, 如果粒子入射的 NMOS 或 PMOS 不在阱内, 这种碰撞叫做阱外碰撞。

阱内外碰撞 SEU 敏感性的研究重点是对器件中漏电流收集方式的研究, 当粒子入射到器件中, 会在器件中淀积电荷, 从而产生大量电子空穴对^[3]。产生的电子空穴对被电极(特别是漏电极)收集后将会影响漏电极电位, 以至于使 SRAM 单元产生 SEU。

在 SRAM 单元处于任一存储状态时, 均存在两个关态的 MOS, 一个 NMOS, 一个 PMOS。一般认为当粒子入射关态的 MOS 器件时, 该 SRAM 单元较容易产生 SEU 现象^[4]。通过对器件 SEU 的原理分析可知, 器件漏极收集载流子主要有两种可能: ①粒子入射后, 导致寄生双极型晶体管的导通; ②电子空穴对扩散到器件的沟道区, 产生导电沟道。

对于器件中的寄生双极型晶体管而言, 不同结构的器件内部的寄生双极型晶体管也有所不同, 阱外 MOSFET 仅有由源极、漏极和衬底组成的横向寄生晶体管, 阱内 MOSFET 除了具有横向寄生晶体管外, 还有由漏极、阱和衬底构成的纵向寄生晶体管。横向寄生晶体管的导通增加漏极电流总和, 促进漏电位的下降, 纵向寄生晶体管的导通减少漏极电流的总和, 抑制漏电位的下降。由于纵向寄生晶体管减小的漏极总电流, 相当于分流作用, 所以在有些文献中称之为分流效应。

随着器件特征尺寸的缩小, 器件沟道长度在 $0.13 \mu\text{m}$ 工艺中已经缩小到 $0.1 \mu\text{m}$, 当粒子入射到关态器件漏极时, 产生的大量电子空穴对很快横向扩散到沟道区产生导电沟道, 由于此时源漏存在电位差, 故电荷被收集产生漏电流, 此过程和 MOSFET 正常导通时情况一样。

3 模拟结果分析

3.1 耦合电阻

3.1.1 器件阈值 LET 与耦合电阻

在传统的 SRAM 单元的抗单粒子翻转设计中, 常采用加耦合电阻^[5]的方法, 通过 RC 延迟减小 SRAM 单元内部的反馈作用, 因而需要一个宽脉冲电压使对面反相器的栅极上产生一定电压使电路翻转。其中, 电容 C 是关态 MOS 的等效电容, 当器件确定后, 电容基本确定, 因而电阻的大小决定了 RC 延迟的大小。电阻越大, RC 延迟就越大, SRAM 单元产生单粒子翻转的几率就小, 但是在 SRAM 中, 电阻的增大将会增加电路的读写时间, 减小电路的存储速度。

图 1 是在阱内外碰撞时得出的器件阈值线能量传输(linear energy transmission, LET)随耦合电阻的变化曲线。其中, 器件阈值 LET 是通过多次尝试得出的, 在耦合电阻为不同值时器件发生 SEU 的最小 LET 值。此时得出阈值 LET, 和通过实验得到的器件阈值 LET 存在区别, 文献[1]中通过实验和模拟相结合的方法指出模拟得出的器件阈值 LET 介于实验得出的 L_0 和 L_{50} 之间, 其中 L_0 是指器件刚开始被发现产生 SEU 时器件的入射粒子的 LET 值, L_{50} 是指达到器件 50% 饱和和翻转横截面时入射粒子 LET 值, 故仿真得出的阈值 LET 具有准确性。

通过文献[6]可知,关态 NMOS 和 PMOS 中,同等参数情况下,一般 NMOS 较 PMOS 对 SEU 敏感,故图 1 以 NMOS 为例仿真耦合电阻对器件阈值 LET 的影响。由图 1 可见:①随着耦合电阻数值的变化,阱内 NMOS 均较阱外 NMOS 的阈值 LET 大,故阱外 NMOS 较阱内 NMOS 对 SEU 敏感;②随着耦合电阻的增大,阱内和阱外 NMOS 对应的阈值 LET 变化不同。

随着耦合电阻数值的增大,阱外 NMOS 一直较阱内 NMOS 对 SEU 敏感,其原因可以从阱内外器件结构特点来分析。首先,阱内器件相对于阱外器件存在由漏极、阱和衬底构成的寄生纵向晶体管。当该纵向寄生晶体管导通后,漏极总电流减小,从而漏极电位的下降减慢,减小了阱内器件的 SEU 敏感性。其次,阱区属于多重掺杂,多重掺杂必然提供多的复合中心,电子空穴对更容易复合,减小阱内器件的 SEU 敏感性。

在耦合电阻增大的过程中,阱内和阱外 NMOS 对应的阈值 LET 变化不同。阱内器件阈值 LET 变化较大,阱外器阈值 LET 变化较小。阱外器件的阈值 LET 变化较小的原因主要是随着器件特征尺寸的缩小,器件的等效电容也在减小,但耦合电阻却不能变大,导致 RC 延迟对器件 SEU 敏感性影响不大,从图 2 不同耦合电阻时器件漏电压随时间的变化关系曲线可以看出这点。

由于纵向寄生晶体管的导通和耦合电阻等的共同作用,阱内器件中,随着耦合电阻增大,器件阈值 LET 变化的速率越来越大。从前面分析可知,纵向寄生晶体管的导通会减小漏极总电流的大小,以至于减缓漏电位的下降,从而反相器电位的下降也减缓,其作用和耦合电阻作用相似,相当于增加延迟,减小器件 SEU 敏感性。随着耦合电阻的增加,阱内 NMOS 的漏极在粒子入射后电位愈加容易降低,该点电位的降低促进了纵向寄生晶体管的作用,从而极大地减小了漏极总电流,减小了电容放电的电流。由于耦合电阻和纵向寄生晶体管作用的相互促进,导致随着耦合电阻增加,器件阈值 LET 越来越大,变化越来越快。

3.1.2 漏极电流与耦合电阻

在入射粒子阈值一定的情况下,当耦合电阻变化时,关态器件漏电极电流在器件阱内外碰撞时也将呈现不同的变化曲线。图 3 是在一定阈值电压下,SRAM 单元在不同耦合电阻下阱内外碰撞时器件漏端电流随时间的变化曲线。由图 3 可知,当粒子入射阱外 NMOS 时,在耦合电阻变化的过程中,器件漏极电流均呈现基本相同的变化规律:器件漏极的电流很快增大,然后很快下降到 0。

当粒子入射阱内 NMOS 时,随着耦合电阻的不同,器件漏极电流的变化曲线各异。除耦合电阻为 150 kΩ 时,其他曲线均是漏电流先增大后减小,最后又增大,电流均是下降到一定点后,再增大,视耦合电阻的不同而不同,然后再减小,同时阱内器件电流下降的斜率较阱外器件小。

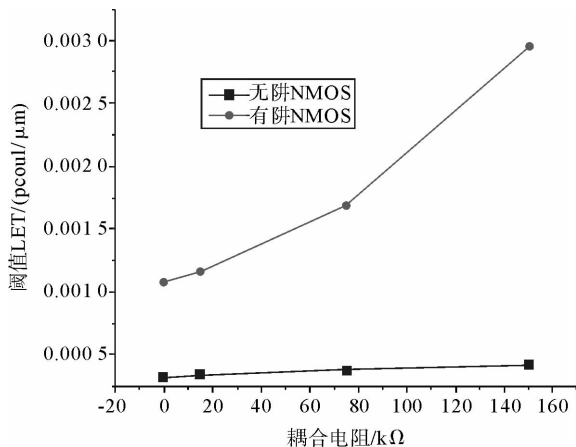


图 1 阱内外碰撞时器件阈值 LET 随耦合电阻的变化图
Fig. 1 The variation of threshold LET of device in strikes outside or inside the traps with the change of coupling resistance

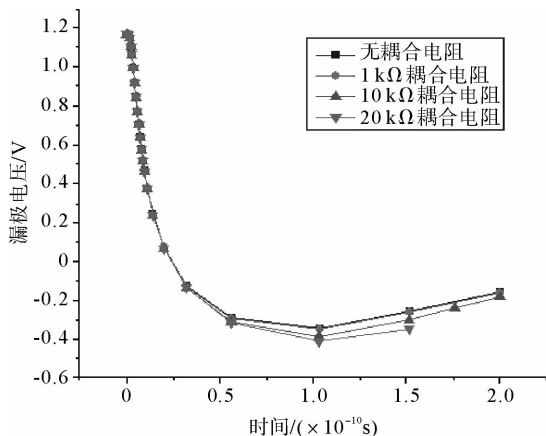


图 2 不同耦合电阻时器件漏极电压随时间的变化关系图
Fig. 2 The variation of drain voltage of device with time in different coupling resistances

阱外碰撞 NMOS 中, 粒子入射后, 产生大量的电子空穴对, 然后电子空穴对被收集, 产生大电流, 由于其耦合电阻产生的 RC 延迟作用不大, 故 SRAM 很快产生 SEU, 导致电流降为 0。

而在阱外碰撞 NMOS 中, 由于纵向寄生晶体管的导通使漏极电流总电流下降, 横向寄生晶体管的导通和电子空穴对构成导电沟道使 MOS 导通产生电流, 造成漏电流增加。由于耦合电阻和纵向寄生晶体管的相互促进作用, 在耦合电阻最大时, 纵向寄生晶体管的作用最大, 总电流等于上述电流之和。当粒子刚入射到器件中时, 产生大量电子空穴对, 此时由于载流子浓度大, 电荷被收集, 漏极电流急剧增加; 随着载流子被收集, 载流子浓度下降, 上述纵向寄生管和耦合电阻等的作用开始占主导作用, 并且纵向寄生晶体管的分流作用和其它促进电流增加的作用在某点后达到动态平衡, 但随着耦合电阻的不同, 纵向寄生晶体管作用强弱不同, 导致平衡时电流不同。

3.2 阱深

器件的阱深主要决定器件中寄生纵向三极管的基区宽度, 器件的纵向寄生三极管会使器件漏极电压和对面反相器栅极电压下降减缓。图 4 是在 NMOS 阱内外碰撞时得出的器件阈值 LET 随阱深的变化关系曲线, 对阱深分别为 0.7, 1.0, 1.3 和 1.6 μm 的 NMOS 器件进行分析, 也列出了阱外碰撞 NMOS 的阈值 LET, 为了做对比, 用一水平线对其进行表示。

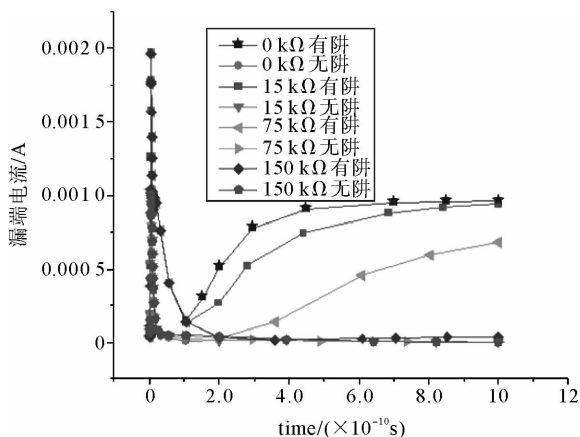


图 3 不同耦合电阻时器件漏端电流随时间的变化图

Fig. 3 The variation of drain current of device with time in different coupling resistances

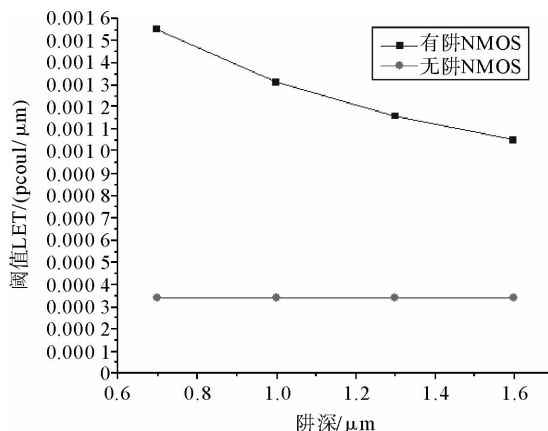


图 4 阱内外碰撞时得出的器件阈值 LET 随阱深的变化图

Fig. 4 The variation of threshold LET of device in strikes outside or inside the traps with the change of trap depth strike

随着器件阱深的增加, 器件的阈值 LET 变小, 纵向寄生晶体管的作用在减小。这是因为纵向寄生三极管由漏极、阱和衬底构成, 随着阱深的增加, 纵向寄生晶体管的基区变宽, 寄生管使漏电压减小的作用减弱, 最终导致器件对 SEU 的敏感性变大。图 4 中, 随着阱深的变大, 阱内碰撞的敏感性可能会达到或超过器件阱外碰撞的敏感性, 但对于尺寸不断缩小的深亚微米阶段器件来说, 这是不切实际的。可见, 阱外碰撞还是比阱内碰撞敏感。

4 结论

随着器件进入深亚微米阶段, 很多新问题不断出现, 也有很多以前可以忽略的问题现在变得重要, 有文献对阱内外碰撞进行趋势预测, 认为随着器件进入深亚微米阶段, 阱内碰撞将会比阱外碰撞更加敏感, 通过使用计算机模拟的方法对沟道长度为 0.1 μm 的 NMOS 在阱内外碰撞时进行混合级模拟, 结果发现, 阱外碰撞仍然比阱内碰撞敏感, 但上述结果仍需进一步验证。