

基于FPGA的IDCT变换的设计与实现

朱建芹, 韩进

(山东科技大学信息科学与工程学院, 山东青岛266590)

摘要:二维离散余弦逆变换是图像解码算法的核心,基于DSP用软件实现速度较低,基于ASIC则占用的芯片面积和功耗较大。研究了一种由单个一维IDCT核完成的二维IDCT结构。首先,运用蝶形运算实现一维IDCT变换,然后,调用行列可分离间接算法实现二维IDCT结构,以提高硬件资源利用率。在片内RAM中进行矩阵转置,单周期内完成乘法运算,既提高了FPGA的最大工作频率,又增大了数据处理的吞吐量。该二维IDCT结构是通过Verilog描述,使用Altera FPGA实现的,共消耗962个逻辑单元,最高时钟频率可达100 MHz。

关键词:离散余弦逆变换;蝶形运算;行列可分离的间接算法;硬件描述语言;现场可编程逻辑门阵列

中图分类号:TP302.2

文献标志码:A

文章编号:1672-3767(2011)06-0091-06

Design and Implementation of IDCT Transform Based on FPGA

ZHU Jianqin, HAN Jin

(College of Information Science and Technology, Shandong University of Science and Technology, Qingdao, Shandong 266590, China)

Abstract: 2D-IDCT is a core module in the process of image decoding. In the past, the IDCT transform based on software of DSP was slower in speed; it occupied larger chip area and power consumption based on ASIC. This paper provided a 2D-IDCT architecture implemented by a 1D-IDCT core. In order to reduce the consumption of hardware resources, 1D-IDCT was completed by means of butterfly operations, and in accordance with the separable indirect algorithm of ranks, 2D-IDCT architecture was realized. The matrix transformation was realized in RAM and the multiplier operation was completed in a single cycle, improving the max working frequency of FPGA and the quantity of data processing. The 2D-IDCT architecture was represented with Verilog and achieved with Altera FPGA, which occupied 962 logic units and the maximum clock frequency was 100 MHz.

Key words: inverse discrete cosine transformer; butterfly operation; separable indirect algorithm of ranks; hardware description language; field programmable gate array

离散余弦变换是解决压缩图像空间冗余度的主要方法,也是图像达到高压缩比所采用的重要方法之一。当要恢复原始图像信息时,需要将压缩编码后的信息进行离散余弦逆变换(inverse discrete cosine transformer, IDCT)。基于软件或DSP(digital signal processing)实现的IDCT速度较低^[1],而用集成电路实现的IDCT占用的芯片面积和功耗较大^[2]。本研究根据可编程逻辑器件的结构特点,用硬件描述语言快速有效地实现了IDCT。在算法上,利用蝶形运算实现一维IDCT,并按照行列可分离间接算法实现二维IDCT,降

收稿日期:2011-05-08

基金项目:国家高技术研究发展计划(“863”计划)项目(2009AA062702);国家自然科学基金重点项目(51034003);国家自然科学基金项目(41072212)。

作者简介:朱建芹(1988—),女,山东日照人,硕士研究生,主要从事嵌入式系统与应用方面的研究。

E-mail:silentxiaozyu@yahoo.com.cn.

韩进(1968—),女,山东济南人,教授,博士,主要从事嵌入式系统软硬件设计、集成电路及其系统设计。

低了算法的复杂度;在电路设计上,为节省芯片面积只用 1 个一维 IDCT 来实现二维 IDCT,并引入流水线结构,用 RAM(random access memory)实现矩阵转置,达到对数据流的高吞吐量处理,而且乘法器是单周期完成运算,较之采用多时钟的乘法器,大大减少了完成一个矩阵解码所需要的周期数,提高了电路的工作频率。

1 算法分析

二维 IDCT 变换定义为

$$f(x, y) = \frac{1}{4} \sum_{u=0}^7 \sum_{v=0}^7 C(u)C(v)F(u, v)\cos\left[\frac{(2x+1)u\pi}{16}\right]\cos\left[\frac{(2y+1)v\pi}{16}\right],$$

令 $G(u, y) = \frac{1}{2} \sum_{v=0}^7 C(v)F(u, v)\cos\left[\frac{(2y+1)v\pi}{16}\right]$, 则可将上式变为

$$f(x, v) = \frac{1}{2} \sum_{u=0}^7 C(u)G(u, v)\cos\left[\frac{(2x+1)u\pi}{16}\right],$$

即将二维 IDCT 分解为 2 个独立的一维 IDCT^[3-5], $G(u, y)$ 代表对行数据进行一维 IDCT, $f(x, v)$ 代表对列数据进行一维 IDCT。采用 FPGA 来实现 IDCT 时,可先进行行变换,再进行列变换,两者均为一维 IDCT。在进行行变换和列变换时,可分别将 u 和 v 视为常数,这样可将 $G(u, y)$ 写成

$$G(y) = \sum_{v=0}^7 F(v)\cos\left[\frac{(2y+1)v\pi}{16}\right].$$

该式可分为两部分:第一部分为 $F(v)$, 在行变换中代表 IDCT 系数 $F(u, v)$, 在列变换中代表的则是第一次 IDCT 变换的结果 $G(u, y)$;第二部分为 $\left[\cos\frac{(2y+1)v\pi}{16}\right]$ 。从 $G(y)$ 可以看出, IDCT 变换是由一系列乘积项相加构成的,通过将部分积与部分和的结果存放在 FPGA 的分布算术查询表中,就可以用 FPGA 器件方便地实现 IDCT 变换。一维 IDCT 的变换过程如图 1 所示,其中, CK 代表 $G(y)$ 中的项 $\cos\left(\frac{K\pi}{16}\right)$ 。根据余弦函数的周期特性和对称特性: $\cos\alpha = \cos(2n\pi \pm \alpha) = -\cos[(2n+1)\pi \pm \alpha]$, 可将图 1 中的系数简化,得到图 2 所示的简化系数。

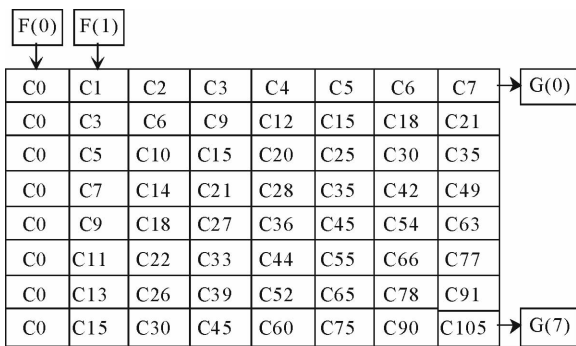


图 1 IDCT 的变换过程图

Fig. 1 The transformation process of IDCT

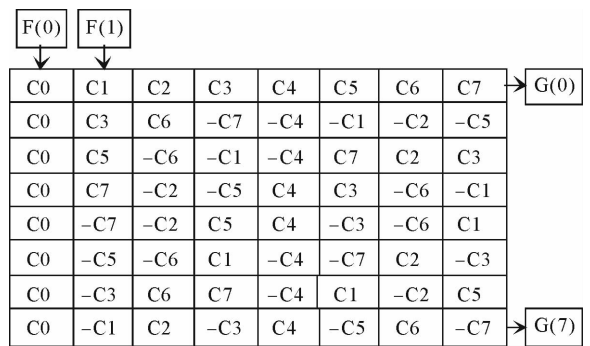


图 2 简化系数后的 IDCT 变换过程图

Fig. 2 The process of IDCT after simplifying the coefficients

由图 2 可知,该系数矩阵具有对称性,即第 1,2,3,4 行分别与第 8,7,6,5 行的奇数列相同,与偶数列符号相反。根据此特点,在使用 FPGA 器件实现 IDCT 算法时,可将 64 个系数分成 8 组,每组 4 个系数,分别存放在分布算术查询表中,由 $F(0)$ 至 $F(7)$ 来寻址。一维 IDCT 算法的实现框图如图 3 所示。图 3 中,“—”表示取反运算, $F(0)$ 至 $F(7)$ 被分为奇数 $F(1,3,5,7)$ 和偶数 $F(0,2,4,6)$ 两组,乘积及部分和的结果都存放在分布算术查询表中。

2 二维 IDCT 的整体结构设计

二维 IDCT 结构的主要部分是 1 个一维 IDCT 处理单元、1 个转置内存模块,另外还有 1 个串-并转换模块和 1 个并-串转换模块,如图 4 所示。

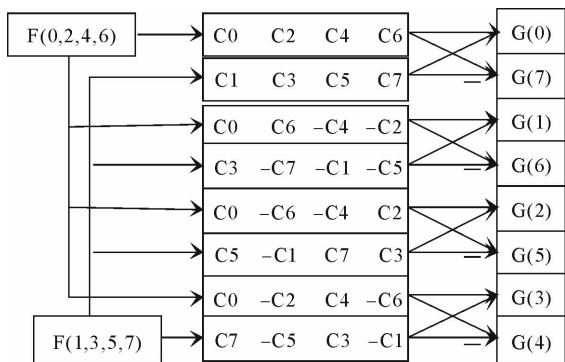


图 3 一维 IDCT 算法的实现框图

Fig. 3 The implementation of 1D-IDCT algorithm

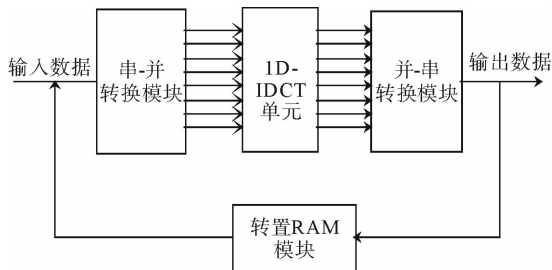


图 4 二维 IDCT 的整体结构图

Fig. 4 The overall structure of 2D-IDCT

二维 IDCT 被行列分解为 2 个一维 IDCT。首先进行的是行变换,此时输入数据首先经过串-并转换模块,在这里等待第一行的 8 个数据全部到齐之后,并行地将数据发送到一维 IDCT 处理单元,经过 1 个时钟周期后,一维 IDCT 处理单元再将处理结果并行地发送到并-串转换模块,然后逐个按行将数据写入转置内存,与此同时串-并转换模块将第二行 8 个数据发送到一维 IDCT 处理单元,并开始第二行的一维 IDCT 计算。在全部 8 个行 IDCT 变换计算完毕之后,开始列 IDCT 变换。这时候转置内存模块中的数据按列的顺序逐个读取出来,经过串-并转换模块,计算过程同上。在第一列的 IDCT 计算完成之后,IDCT 处理核将在连续的 64 个时钟周期内将二维 IDCT 变换的结果逐个的输出到模块外部,并在第 57 个结果输出的同时从外部输入端读取第二个图像块(8×8)的数据。

3 硬件实现

3.1 一维 IDCT 变换单元模块实现

按照图 3 的一维 IDCT 算法的实现框图,把一维 IDCT 算法分为偶数字节乘法部分和奇数字节乘法部分,然后利用一级简单的蝶形运算来实现。首先,要解决底层的乘法器运算单元,进一步完成偶数字节乘法单元和奇数字节乘法单元,然后,按照图 5 所示的一维 IDCT 的结构图就可以实现一维 IDCT 单元。

3.1.1 乘法器运算单元的实现

本设计的一维 IDCT 算法利用整型 IDCT 实现,把 8 个浮点型的固定系数乘以一个整数放大,这里系数都乘以 4 096 即 2^{12} ,因此需要用到 12×12 位的乘法单元,结果为 24 位的二进制数据。在 FPGA 芯片中,内嵌专用乘法器电路,支持 12×12 位有符号数乘法。利用 ALTERA 提供的 IP 核生成工具 MegaWizard 可以对它进行有效配置。该乘法器单周期完成运算,有效地提高了电路的处理速度。

3.1.2 偶数字节乘法单元的实现

偶数字节乘法单元实现的功能是:

$$\begin{aligned} \text{dout0} &= C0 \times \text{din0} + C2 \times \text{din1} + C4 \times \text{din2} + C6 \times \text{din3}; & \text{dout1} &= C0 \times \text{din0} + C6 \times \text{din1} - C4 \times \text{din2} - C2 \times \text{din3}; \\ \text{dout2} &= C0 \times \text{din0} - C6 \times \text{din1} - C4 \times \text{din2} + C2 \times \text{din3}; & \text{dout3} &= C0 \times \text{din0} - C2 \times \text{din1} + C4 \times \text{din2} - C6 \times \text{din3}. \end{aligned}$$

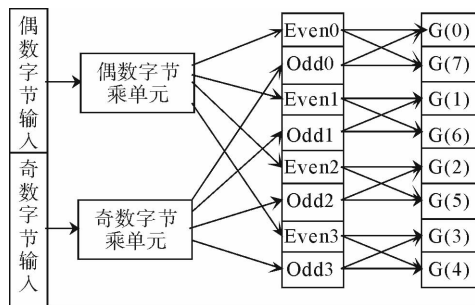


图 5 一维 IDCT 变换的电路结构图

Fig. 5 The circuit structure of 1D-IDCT transform

其中: $C_0, C_1, C_2, C_3, C_4, C_5, C_6$ 分别为相应 $\frac{1}{2}CK$ 即 $\frac{1}{2}\cos(\frac{K\pi}{16})$ 乘以 2^{12} 后的结果(按照四舍五入转换成二进制形式); $din_0, din_1, din_2, din_3$ 分别是偶字节输入部分对应 $F(0), F(2), F(4), F(6)$ 。由于乘法单元是 12×12 得到的 24 位数据, 这 24 位数据是把 $\frac{1}{2}CK$ 放大了 4 096 倍得到的结果, 所以相应的结果要乘以 2^{-12} , 即在所应得到的 24 位结果数据中截取高 12 位。

3.1.3 奇字节乘法单元的实现

奇字节乘法单元实现的功能是:

$$\begin{aligned}dout_0 &= din_0 \times C_1 + din_1 \times C_3 + din_2 \times C_5 + din_3 \times C_7; \\dout_1 &= din_0 \times C_3 - din_1 \times C_7 - din_2 \times C_1 - din_3 \times C_5; \\dout_2 &= din_0 \times C_5 - din_1 \times C_1 + din_2 \times C_7 + din_3 \times C_3; \\dout_3 &= din_0 \times C_7 - din_1 \times C_5 + din_2 \times C_3 - din_3 \times C_1.\end{aligned}$$

其中, $din_0, din_1, din_2, din_3$ 分别是奇字节输入部分对应 $F(1), F(3), F(5), F(7)$ 。同偶字节乘法单元模块, 相应的结果要乘以 2^{-12} , 即在所应得到的 24 位结果数据中截取高 12 位。

3.2 串-并转换模块和并-串转换模块的实现

由于 IDCT 的原始输入数据是 12 位, 而一维 IDCT 需要 8 个 12 位数据同时输入, 所以, 可以通过串-并转换在 8 个时钟周期后, 将 1 路 12 位数据转换为 8 路 12 位数据, 同时并行的将该 8 个数据送入 1D-IDCT, 这样可以节省 FPGA 的 I/O 口。用 FPGA 来实现 IDCT 时, 先进行行变换, 再进行列变换, 而行列转置是通过 RAM 实现, 需要在 RAM 中读写数据, 所以, 要将行变换的数据进行并-串转换后写进 RAM 中, 然后按列读出进行列变换, 列变换的数据通过并-串转换后再输出。

3.3 转置 RAM 模块的实现

二维 IDCT 在一维变换按行方向(或列方向)结束后, 要对其结果再按列方向(或行方向)做一维变换。转置 RAM 要实现对一维 IDCT 结果的转置, 即将逐行输入的 8×8 个数据转换为逐列输出以便进行列变换^[6]。RAM 模型可被看作是一个 8×8 的矩阵。按列输入的 8×8 个数据的一维 IDCT 变换结果将被存入 RAM 的行, 而 RAM 的列将作为第二次 IDCT 变换的输入。从第 1 个数据输入到第 1 个数据输出, 中间需要 64 个时钟周期。对一个深度为 64 的 RAM, 要先用 64 个时钟完成数据写操作, 再用 64 个时钟完成读操作。RAM 可以通过 ALTERA 提供的 IP 核生成工具 MegaWizard 产生。图 6 所示为可配置 RAM 模块。输入数据位宽是 12 位, 深度为 64, 所以地址信号是 6 位。wren 信号控制 RAM 的读写操作, wren 为高电平时执行写操作, 否则执行读操作。aclr 是清零端, 高电平有效。

3.4 二维 IDCT 处理单元的实现

将已实现的一维 IDCT 单元、转置 RAM 模块、串-并转换和并-串转换模块, 按照图 4 的二维 IDCT 结构整合到一起, 再加入相应的控制信号, 以实现二维 IDCT 单元, 其顶层模块如图 7 所示。

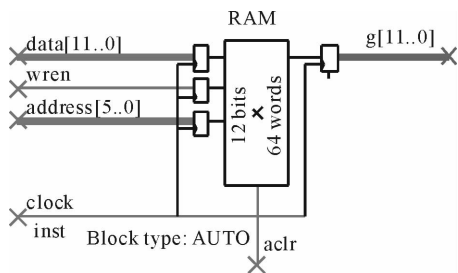


图 6 可配置 RAM 模块图

Fig. 6 The configured RAM module

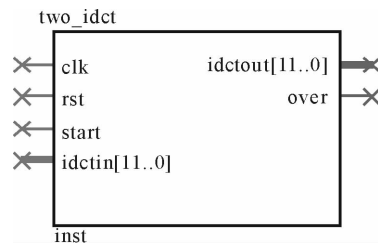


图 7 二维 IDCT 处理单元的顶层模块图

Fig. 7 The top-level diagram of 2D-IDCT unit

为了协调 IDCT 各模块的工作, 保证其流水处理, 必须设计一个控制模块, 由它产生控制信号, 协调整个变换过程中各模块的工作。控制信号包括控制串-并转换和并-串转换的使能信号, 转置 RAM 的读写时序,

数据输出等。在设计中,逻辑控制是核心部分,也是最复杂的部分。对于复杂的逻辑控制设计,多采用状态机的方法来实现。但对于流水线设计,因为数据路径在每个模块的延迟已经被固化,不需要用状态机来实现,只需要根据一个 start 启动信号,再根据已固化的模块延迟,为各个模块产生相应的逻辑控制信号,以使它们与输入数据协调,产生正确的计算结果。逻辑控制的设计思想是要实现数据流水线处理,即 8×8 的变换块可以连续地输入 IDCT 变换核。二维 IDCT 单元用 Quartus II 工具综合后所形成的部分 RTL(register transfer level,寄存器传输级)如图 8 所示。

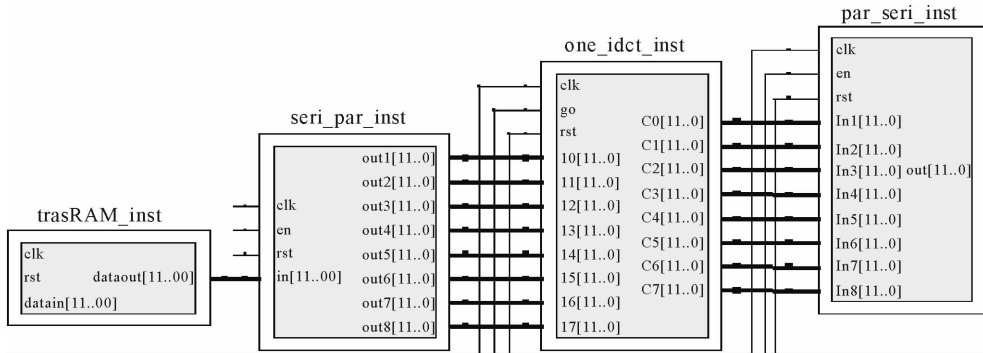


图 8 二维 IDCT 变换单元的部分 RTL 图

Fig. 8 The register transfer level diagram of 2D-IDCT transform unit

4 二维 IDCT 处理单元的测试

为了有效测试二维 IDCT 处理单元,现将 8×8 的图像数据块事先存入 ROM 中(通过构建 .mif 初始化文件),每经过 1 个时钟就从 ROM 中读取 1 个数据送入二维 IDCT 处理单元,这样就能在很短的时间内连续不断地输入数据。二维 IDCT 单元在 Modelsim 中的部分仿真波形如图 9 所示。

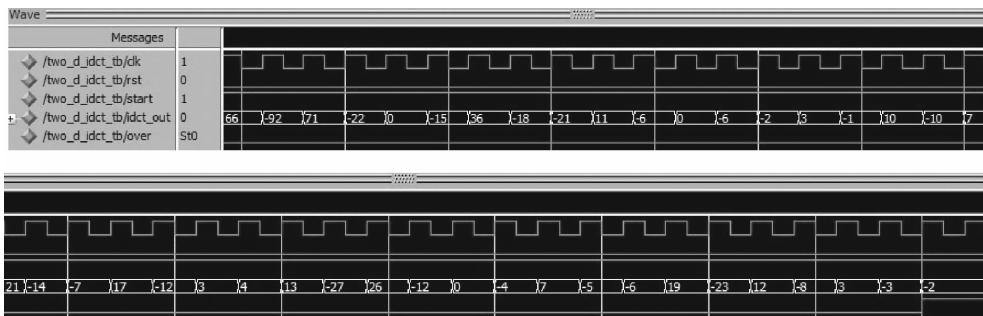


图 9 二维 IDCT 处理单元在 Modelsim 中的部分仿真波形图

Fig. 9 The simulation waveform of 2D-IDCT processing unit in the Modelsim

将该二维 IDCT 处理单元的测试模块的输入输出端口分配好引脚,重新编译后通过 USB Blaster 下载到 FPGA 开发板上,主芯片是 Altera 公司的 EP2C70F896C6。由于使用的是板载时钟频率 50 MHz,数据变化的速度在纳秒级,所以,肉眼观察不到输出数据的变化,需要使用 Quartus II 软件中提供的逻辑分析仪 Signal Tap II 抓取硬件运行的结果,Signal Tap II 抓取到的波形如图 10 所示。二维 IDCT 的 Matlab 仿真结果如图 11 所示。

5 结果分析

通过对比图 9、图 10 和图 11 可以发现,硬件运行结果和 Modelsim 仿真结果一致,即较好地实现了二维

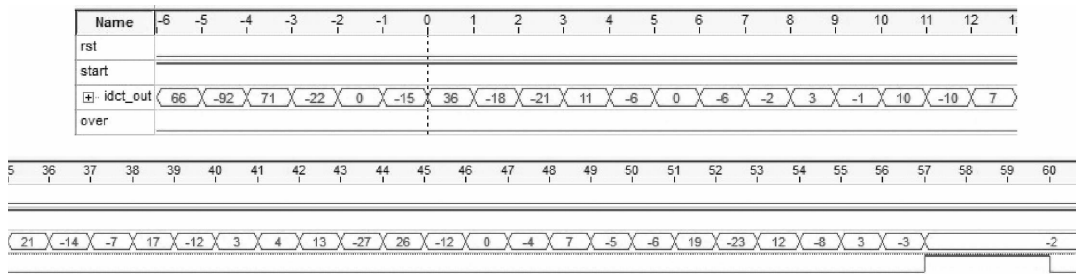


图 10 Signal Tap II 抓取到的部分波形图

Fig. 10 Part of the waveform crawled by Signal Tap II

IDCT 变换;但与 Matlab 仿真结果相比,输出结果存在误差,最大误差为 ±4,误差产生的主要原因是硬件截位,即在乘法运算时将 24 位结果数据截取高 12 位。由于有效字长是 12 位,所以必须进行硬件截位,即该误差是不可避免的,但可以进一步研究减少误差的手段,寻求更加优化、准确的算法和硬件实现结构。该二维 IDCT 结构的 FPGA 验证结果是:最高时钟频率可达 100 MHz,硬件资源共占用 768 位存储单元和 962 个逻辑单元。另外,离散余弦正变换和逆变换的数学表达式相同,因此类似的电路实际上也能实现离散余弦正变换。

参考文献:

[1]王斑,周剑扬. 基于 DSP 的 AVS IDCT 的研究与实现[J]. 中国新通信,2008,3(5):40-43.
WANG Ban,ZHOU Jianyang. Research and Implementation of AVS IDCT on DSP[J]. China New Telecommunications, 2008,3(5):40-43.

[2]陈禾,毛志刚,叶以正. 基于 DA 算法的二维离散余弦逆变换的 ASIC 设计[J]. 微处理机,1998,11(4):4-7.
CHEN He,MAO Zhigang, YE Yizheng. An ASIC design of DA-based 2-D IDCT[J]. Microprocessors,1998,11(4):4-7.

[3]全子一. 数字视频图像处理[M]. 北京:电子工业出版社,2005.

[4]PILLAI L. Video decompression using IDCT [DB/OL]. [2002-06-25](2011-04-08)http://www.cs.york.ac.uk/rts/docs/Xilinx-datasource-2003-q1/apnotes/xapp611.pdf.

[5]纪秀花,张彩明,韩慧健. 用查表法快速实现二维 8×8 离散余弦逆变换的研究[J]. 电子学报,2008,36(4):639-645.
JI Xiuhua,ZHANG Caiming, HAN Huijian. A fast 2D 8×8 IDCT algorithm based on look-up table[J]. Acta Electronica Sinica,2008,36(4):639-645.

[6]张艳. 基于 FPGA 的 JPEG 解码算法的研究与实现[D]. 南京:南京理工大学,2009.

70.5137	-17.7427	13.0159	-5.6558	-9.9894	-10.1084	14.5541	-5.6109
-91.8582	11.9158	-10.5188	2.1463	15.8106	22.4723	-25.4121	21.0369
72.1818	-4.7303	8.3513	-3.3742	-2.9324	-12.6551	26.5377	-22.4971
-20.5662	0.5273	10.5701	1.5536	-9.0928	-6.1420	-10.0364	13.9854
0.8589	-5.1392	-18.4787	-8.2046	7.8236	15.9281	0.0522	-8.1154
-15.3950	-1.4176	19.9329	26.0648	6.5019	-10.9637	-4.5308	3.2986
35.6950	2.4228	-14.9642	-31.1005	-20.4950	3.4152	6.1446	-3.0836
-17.3803	-1.1840	4.0933	6.6545	12.5646	3.5449	-5.4546	-1.3389

图 11 二维 IDCT 变换的 Matlab 仿真结果图

Fig. 11 The Matlab simulation results of 2D-IDCT